

⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑩ DE 196 33 914 C 1

⑤① Int. Cl.<sup>6</sup>:  
H 01 L 29/786  
H 01 L 21/338

⑳ Aktenzeichen: 196 33 914.6-33  
㉑ Anmeldetag: 22. 8. 88  
㉒ Offenlegungstag: —  
㉓ Veröffentlichungstag  
der Patenterteilung: 7. 8. 97

DE 196 33 914 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

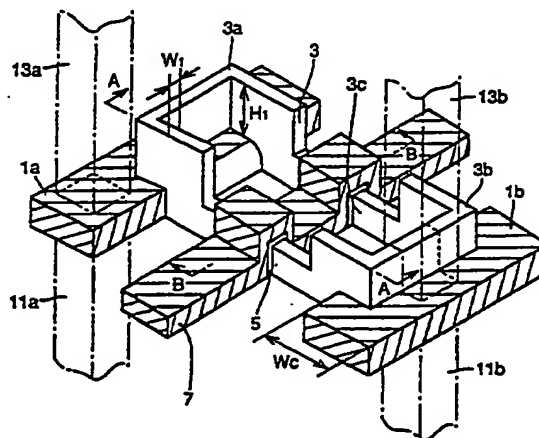
③① Unionspriorität:  
8-107294 28.04.98 JP  
⑦③ Patentinhaber:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
⑦④ Vertreter:  
Prüfer und Kollegen, 81545 München

⑦② Erfinder:  
Maegawa, Shigeto, Tokio/Tokyo, JP; Ipposhi,  
Takashi, Tokio/Tokyo, JP; Iwamatsu, Toshiaki,  
Tokio/Tokyo, JP

⑤② Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:  
IEEE Tr.o.El.Dev., Vol. 38, No. 6, June 1991,  
pp. 1419-1424;

⑤④ Halbleitereinrichtung mit einem Dünnschichttransistor und Herstellungsverfahren derselben

⑤⑦ Eine Halbleiterschicht (3) weist ein Ende auf, das auf einer ersten leitenden Schicht (1a) angeordnet ist und in Kontakt mit der ersten leitenden Schicht (1a) ist, und weist ein anderes Ende auf, das auf einer zweiten leitenden Schicht (1b) angeordnet ist und in Kontakt mit der zweiten leitenden Schicht (1b) ist. An einem zentralen Abschnitt liegt die Halbleiterschicht (3) einer Gateelektroden-schicht (7) mit einer dazwischen vorgesehenen Gateisolierschicht (5) gegenüber. Die Halbleiterschicht (3) ist so gebildet, daß ihre Breite  $W_1$  kleiner ist als ihre Höhe  $H_1$ . Als Ergebnis kann ein Dünnschichttransistor und ein Herstellungsverfahren dafür erzielt werden, bei dem ein Kontakt zwischen einem Source-/Drainbereich des Dünnschichttransistors und einer oberen oder unteren leitenden Schicht stabil gebildet werden kann.



DE 196 33 914 C 1

## Beschreibung

Die vorliegende Erfindung betrifft Halbleitereinrichtungen und Herstellungsverfahren derselben. Spezieller betrifft sie eine Halbleitereinrichtung mit einem Dünnschichttransistor und ein Herstellungsverfahren derselben.

5 Üblicherweise wurde ein Dünnschichttransistor mit einer sogenannten DELTA-Struktur als ein Dünnschichttransistor vorgeschlagen. Der Dünnschichttransistor mit der DELTA-Struktur ist beispielsweise von D. Hisamoto et al., in "Impact of the Vertical SOI 'DELTA' Structure on Planar Device Technology" IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 38, Nr. 6, Juni 1991, Seiten 1419—1424 beschrieben. Eine Beschreibung eines solchen Dünnschichttransistors mit der DELTA-Struktur als ein bekannter Dünnschichttransistor wird im folgenden angegeben.

10 Fig. 48 ist eine perspektivische Ansicht, die schematisch den Aufbau des bekannten Dünnschichttransistors zeigt. Wie in Fig. 48 gezeigt ist, ist eine monokristalline Siliziumschicht 203 auf einem Siliziumsubstrat 220 mit einer dazwischen vorgesehenen Feldoxidschicht 221 gebildet, wodurch eine SOI-(Silizium auf Isolator)Struktur gebildet wird. Ein Paar von Source/Drainbereichen 203a und 203b werden so auf der monokristallinen Siliziumschicht 203 gebildet, daß sie einen Kanalbereich definieren. Eine Gateelektrodenschicht 207 ist so gebildet, daß sie den Kanalbereich mit einem dazwischen vorgesehenen Gateisolierfilm (nicht gezeigt) bedeckt bzw. ihm gegenüberliegt. Die monokristalline Siliziumschicht 203 weist eine Breite  $W_2$  von ungefähr 0,2  $\mu\text{m}$  und eine Höhe  $H_2$  von ungefähr 0,4  $\mu\text{m}$  auf, wobei die Breite  $W_2$  kleiner als die Höhe  $H_2$  eingestellt ist.

15 Als nächstes wird eine Beschreibung eines Herstellungsverfahrens des bekannten Dünnschichttransistors (Fig. 48) angegeben.

Fig. 49—42 sind schematische Querschnittsansichten, die der Reihe nach die Schritte des Herstellungsverfahrens des bekannten Dünnschichttransistors zeigen. Wie in Fig. 49 gezeigt ist, werden eine thermische Oxidschicht (nicht gezeigt) und eine CVD-Nitridschicht 221 in dieser Reihenfolge auf dem Siliziumsubstrat 220 abgeschieden und dann werden die CVD-Nitridschicht 221 und die thermische Oxidschicht bemustert. Unter Verwendung der so bemusterten CVD-Nitridschicht 221 und der Oxidschicht als Maske wird das Siliziumsubstrat 220 einem anisotropen Ätzen so ausgesetzt, daß eine Siliziuminsel 220a gebildet wird. Danach wird mit einem thermischen Oxidationsprozeß eine thermische Oxidschicht (nicht gezeigt) auf einer Oberfläche des Siliziumsubstrates 220 gebildet. Nachdem die CVD-Nitridschicht über die gesamte Oberfläche abgeschieden wurde, wird die gesamte Oberfläche der Siliziumnitridschicht durch ein anisotropes RIE (reaktives Ionenätzen) zurückgeätzt.

20 Wie in Fig. 50 gezeigt ist, bleibt eine Siliziumnitridschicht 223 an einer Seitenwand der Siliziuminsel 220a nach dem Zurückätzen der gesamten Oberfläche zurück. Dann wird das Siliziumsubstrat 220 unter Verwendung der CVD-Nitridschicht 221 und der Seitenwandnitridschicht 223 als Maske isotrop geätzt. Ein solches isotropes Ätzen entfernt eine gewünschte Menge der Oberfläche des Substrates 220, die von den Nitridschichten 221 und 223 freigelegt ist. Das Substrat wird dann einem zeitlich langen thermischen Oxidationsprozeß bei einer hohen Temperatur von beispielsweise 1100°C ausgesetzt.

25 Wie in Fig. 51 gezeigt ist, wird durch einen solchen thermischen Oxidationsprozeß eine Feldoxidschicht 211 auf dem Siliziumsubstrat 220 gebildet und es wird eine monokristalline Siliziumschicht 203 auf der Feldoxidschicht 211 gebildet. Dann werden die CVD-Nitridschicht 221 und die Seitenwandnitridschicht 223 entfernt. Eine Schutz- bzw. Opferoxidschicht wird einmal auf einer Oberfläche der monokristallinen Siliziumschicht 203 durch den thermischen Oxidationsprozeß gebildet, um einen Schaden auf der Oberfläche der monokristallinen Schicht 203 zu entfernen, und diese Opferoxidschicht wird dann durch Flußsäure oder ähnlichem entfernt.

30 Wie in Fig. 48 gezeigt ist, wird, nachdem eine Gateisolierschicht gebildet ist, eine Gateelektrodenschicht 207 so gebildet, daß sie einen Bereich der monokristallinen Siliziumschicht 203 bedeckt, um als ein Kanal mit einer dazwischen vorgesehenen Gateisolierschicht zu dienen. Es werden Dotierungen unter Verwendung der Gateelektrodenschicht 207 und ähnlichem als Maske eingebracht, um Source/Drainbereiche 203a und 203b in der monokristallinen Siliziumschicht 203 zu bilden, wodurch ein Dünnschichttransistor mit der DELTA-Struktur fertiggestellt wird.

35 Da die monokristalline Siliziumschicht 203, die als ein Kanal dient, eine Breite  $W_2$  aufweist, die kleiner als die Höhe  $H_2$  ist, und mit der Gateelektrode 207 auf beiden Seiten bei dem bekannten Dünnschichttransistor bedeckt ist, weist der Transistor daher eine große Stromtreiberfähigkeit auf und seine Eigenschaften sind weniger durch die Reduzierung der Länge des Kanals beeinträchtigt. Zusätzlich bedeckt die Gateelektrode 207 beide Seitenoberflächen und die obere Oberfläche der monokristallinen Siliziumschicht 203 und die Breite  $W_2$  einer unteren Oberfläche ist klein, so daß der Bereich, der als Kanal dient, zum größten Teil mit der Gateelektrodenschicht 207 bedeckt ist. Als Ergebnis kann der bekannte Dünnschichttransistor auch elektrische Effekte verhindern, die durch externe Elektrodenverbindungen bedingt sind. Daher ist der bekannte Dünnschichttransistor sehr vorteilhaft für die Verwendung als ein Transistor, der durch viele Verbindungen umgeben ist, wie zum Beispiel ein Ladetransistor, der eine Speicherzelle eines SRAMs (statischer Direktzugriffsspeicher) bildet.

40 Da jedoch die monokristalline Siliziumschicht 203 eine kleine Breite  $W_2$  aufweist, kann der bekannte Dünnschichttransistor keinen Kontakt mit einer anderen leitenden Schicht in einer stabilen Art bilden. Dieses Schwierigkeit wird im folgenden detailliert beschrieben.

45 Fig. 52 zeigt ein Beispiel eines Aufbaus eines Dünnschichttransistors, der mit einer oberen leitenden Schicht verbunden ist. Wie in Fig. 52 gezeigt ist, ist eine obere leitende Schicht 218 mit einem Abschnitt der monokristallinen Siliziumschicht 203, die als ein Source/Drainbereich dient, durch ein in einer Zwischenschicht-Isolierschicht 217 vorgesehenes Kontaktloch 217a verbunden. Das Kontaktloch 217a wird im allgemeinen durch Ätzen der Zwischenschicht-Isolierschicht 217 unter Verwendung eines Resistmusters 219 als Maske, das auf der Zwischenschicht-Isolierschicht 217 gebildet ist, wie in Fig. 53 gezeigt ist, gebildet. Ein Lochmuster 219a des Resistmusters 219 kann jedoch in der Richtung X, die in der Figur gezeigt ist, aufgrund einer Überdeckungsverschiebung der Maske oder ähnlichem während der Photolithographie zum Bilden des Resistmusters 219 verschoben sein.

Da die monokristalline Siliziumschicht 203 eine Breite  $W_2$  aufweist, die so klein wie  $0,2 \mu\text{m}$  ist, kann das Kontaktloch 217a einfach von der monokristallinen Siliziumschicht 203 weg verschoben sein, wie in Fig. 54 gezeigt ist. Folglich kann ein Kontakt zwischen der oberen leitenden Schicht 218 und der monokristallinen Siliziumschicht 203 nicht gebildet werden.

Weiterhin benötigt das der Anmelderin bekannte Herstellungsverfahren eines Dünnschichttransistors einen zeitlich langen thermischen Oxidationsprozeß bei einer hohen Temperatur zum Bilden einer SOI-Struktur. Wenn ein solcher zeitlich langer thermischer Oxidationsprozeß bei einer hohen Temperatur ausgeführt wird, nachdem andere Elemente gebildet wurden, können diese durch Diffusion der Dotierungen oder ähnlichem zerstört werden. Daher muß ein solcher zeitlich langer thermischer Oxidationsprozeß bei einer hohen Temperatur ausgeführt werden, bevor andere Elemente gebildet werden. Als Ergebnis gibt es die Schwierigkeit, daß dieser Dünnschichttransistor nicht über anderen Elementen, die auf dem Siliziumsubstrat 220 gebildet sind, gebildet werden kann.

Es ist Aufgabe der vorliegenden Erfindung, einen Dünnschichttransistor zur Verfügung zu stellen, der einen zuverlässigen Kontakt zwischen einem Source/Drainbereich des Dünnschichttransistors und einer oberen oder unteren leitenden Schicht ermöglicht.

Weiterhin soll ein Herstellungsverfahren eines Dünnschichttransistors zur Verfügung gestellt werden, das es erlaubt, einen Dünnschichttransistor oberhalb eines auf einem Substrat gebildeten Elementes zu bilden.

Eine Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem Aspekt der vorliegenden Erfindung enthält eine erste und eine zweite leitende Schicht, eine Halbleiterschicht und eine Gateelektrodenschicht. Die erste und zweite leitende Schicht sind voneinander getrennt gebildet. Die Halbleiterschicht weist ein Ende auf, das auf einem oberen Teil der ersten leitenden Schicht plaziert ist und in Kontakt mit der ersten leitenden Schicht ist, und weist ein anderes Ende auf, das auf einem oberen Teil der zweiten leitenden Schicht plaziert ist und in Kontakt damit ist. Die Gateelektrodenschicht bedeckt eine obere Oberfläche und gegenüberliegende bzw. voneinander wegweisende Seitenoberflächen der Halbleiterschicht mit einer dazwischen vorgesehenen Gate-Isolierschicht an einem zentralen Abschnitt, der durch das eine und das andere Ende der Halbleiterschicht begrenzt ist. Die Linien- bzw. Leitungsbreite, die durch die gegenüberliegenden Seitenoberflächen der Halbleiterschicht festgelegt ist, ist kleiner als die Dicke der Halbleiterschicht. Die erste und zweite leitende Schicht weisen jeweils eine Leitungsbreite auf, die größer als die der Halbleiterschicht ist.

Bei der Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend dem obigen Aspekt sind die erste und zweite leitende Schicht jeweils in Kontakt mit dem einen und dem anderen Ende der Halbleiterschicht gebildet und weisen eine Breite auf, die größer ist als die der Halbleiterschicht. Als Ergebnis kann, sogar wenn die Position, bei der das Kontaktloch in Kontakt mit dem einen und dem anderen Ende der Halbleiterschicht ist, aufgrund einer Überdeckungsverschiebung der Maske verschoben ist, ein Kontakt mit der ersten und der zweiten leitenden Schicht stabiler gebildet werden.

Bei dem obigen Aspekt bedeckt die Gateelektrodenschicht bevorzugt eine untere Oberfläche der Halbleiterschicht.

Bei dem obigen Aspekt bedeckt die Gateelektrodenschicht bevorzugt die Oberfläche der Halbleiterschicht von ihrem oberen Ende zu ihrem unteren Ende in einem zentralen Abschnitt der Halbleiterschicht.

Bei den zwei obigen bevorzugten Aspekten kann ein Dünnschichttransistor mit einer exzellenten Gateelektrodensteuerbarkeit erhalten werden.

Bei dem obigen Aspekt wird bevorzugt Stickstoff zumindest in einem Abschnitt der Halbleiterschicht, der mit der Gateelektrode bedeckt ist, eingebracht und eine Art der Dotierung, die von der Gruppe bestehend aus Fluor, Sauerstoff und Neon ausgewählt ist, wird zumindest in die Gateisolierschicht und den Abschnitt der Halbleiterschicht, der mit der Gateelektrode bedeckt ist, eingebracht.

Als Ergebnis kann ein Strom, der zwischen dem Drain und dem Source fließt, wenn der Dünnschichttransistor ausgeschaltet ist (dieser Strom wird im folgenden als Aus-Strom bezeichnet), reduziert werden, während eine Einsatzspannung bzw. der Schwellwert des Dünnschichttransistors bei einem geeigneten Wert gehalten wird.

Bei dem obigen Aspekt enthält die Gateisolierschicht bevorzugt Siliziumoxynitrid ( $\text{SiO}_x\text{N}_{1-x}$ ). Folglich kann ein Aus-Strom reduziert werden und ein Ansteigen der Einsatzspannung des Dünnschichttransistors kann verhindert werden.

Bei dem obigen Aspekt wird bevorzugt Stickstoff in die Gateisolierschicht und die Oberfläche der Gateelektrodenschicht, die die Halbleiterschicht bedeckt, eingebracht.

Folglich kann ein Aus-Strom reduziert werden und ein Ansteigen der Einsatzspannung des Dünnschichttransistors kann verhindert werden.

Bei dem obigen Aspekt werden bevorzugt Dotierungen der Leitungstypen, die sich voneinander unterscheiden, in die erste und zweite leitende Schicht und die Gateelektrodenschicht eingebracht und die Konzentration der in die Gateelektrodenschicht eingebrachten Dotierung ist  $4,23 \times 10^{19} \text{ cm}^{-3}$  oder kleiner.

Folglich kann ein Strom, der zwischen dem Drain und dem Source fließt, wenn der Dünnschichttransistor eingeschaltet ist (dieser Strom wird im folgenden als Ein-Strom bezeichnet), erhöht werden, während ein Aus-Strom verringert wird.

In dem obigen Aspekt enthalten bevorzugt die Halbleiterschicht und die erste und zweite leitende Schicht Dotierungen des gleichen Leitungstypes und die in das eine und das andere Ende eingebrachte Dotierung weist eine Konzentration auf, die kleiner ist als die der Dotierungen, die in die erste und zweite leitende Schicht eingebracht sind.

Folglich können das eine und das andere Ende der Halbleiterschicht als Bereiche mit einer relativ geringen Dotierungskonzentration gebildet werden und die erste und zweite leitende Schicht können als ein Bereich mit einer relativ hohen Dotierungskonzentration gebildet werden, wodurch eine sogenannte LDD-(schwach dotierter Drainbereich)Struktur verwirklicht wird und das elektrische Feld des Drains entspannt bzw. verringert wird.

Eine Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem anderen Aspekt der vorliegenden Erfindung enthält eine Halbleiterschicht und eine Gateelektrodenschicht. Die Halbleiterschicht weist ein Paar von Source/Drainbereichen auf, die mit einem Abstand voneinander so angeordnet sind, daß ein Kanalbereich definiert wird. Die Gateelektrodenschicht bedeckt den Kanalbereich der Halbleiterschicht mit einer dazwischen vorgesehenen Gateisolierschicht. Stickstoff ist in den Kanalbereich eingebracht und eine Art einer Dotierung, die von der Gruppe bestehend aus Fluor, Sauerstoff und Neon ausgewählt ist, ist in den Kanalbereich und die Gateisolierschicht eingebracht.

Das Einbringen von Stickstoff trägt zur Inaktivierung des Kristalldefektes bei, der in einem Bereich hoher elektrischer Feldstärke des Kontaktabschnittes zwischen dem Drain und dem Kanal (dieser Abschnitt wird im folgenden als Drainende bezeichnet) vorhanden ist, wodurch ein Aus-Strom des Dünnschichttransistors reduziert wird. Es werden fixierte negativ Ladungen durch Einbringen von Fluor oder ähnlichem in die Gateisolierschicht gebildet, wodurch die Änderung der Einsatzspannung in der negativen Richtung aufgrund des Donatoreffektes des Stickstoffes verhindert wird. Als Ergebnis kann ein Aus-Strom reduziert werden, während die Einsatzspannung des Dünnschichttransistors bei einem zweckmäßigen Wert erhalten wird.

Eine Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem anderen Aspekt der vorliegenden Erfindung enthält eine Halbleiterschicht und eine Gateelektrodenschicht. Die Halbleiterschicht weist ein Paar von Source/Drainbereichen auf, die in einem Abstand voneinander so angeordnet sind, daß ein Kanalbereich festgelegt wird. Die Gateelektrodenschicht bedeckt den Kanalbereich der Halbleiterschicht, wobei eine Gateisolierschicht dazwischen vorgesehen ist. Stickstoff ist in die Gateisolierschicht und die Oberfläche der Gateelektrodenschicht, die den Kanalbereich bedeckt, eingebracht.

Folglich kann die Oxidation der Oberfläche der Gateelektrodenschicht, die die Gateisolierschicht bedeckt, verhindert werden und ein Aus-Strom des Dünnschichttransistors kann reduziert werden und ein Ansteigen der Einsatzspannung dann auch verhindert werden.

Eine Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem weiteren Aspekt der vorliegenden Erfindung enthält eine Halbleiterschicht und eine Gateelektrodenschicht. Die Halbleiterschicht weist ein Paar von Source/Drainbereichen auf, die mit einem Abstand voneinander so angeordnet sind, daß sie ein Kanalbereich festlegen. Die Gateelektrodenschicht bedeckt den Kanalbereich der Halbleiterschicht mit einer dazwischen vorgesehenen Gateisolierschicht. Die Source/Drainbereiche der Halbleiterschicht und der Gateelektrodenschicht weisen Dotierungen des gleichen Leitungstypes auf, die darin eingebracht sind. Die in die Gateelektrodenschicht eingebrachte Dotierung weist eine Konzentration von  $4,23 \times 10^{19} \text{ cm}^{-3}$  oder weniger auf.

Folglich kann ein großer Ein-Strom erzielt werden, da die Gatekapazität nur durch die Kapazität der Gateisolierschicht festgelegt ist, wenn der Dünnschichttransistor eingeschaltet ist. Zusätzlich kann ein geringer Aus-Strom erzielt werden, da die Verarmungsschicht an der Oberfläche der Gateelektrodenschicht, die den Kanal bedeckt, erzeugt wird, um die Gatekapazität zu reduzieren, wenn der Transistor ausgeschaltet ist.

Ein Verfahren zur Herstellung einer Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem Aspekt der vorliegenden Erfindung weist die folgenden Schritte auf.

Es werden eine erste und eine zweite leitende Schicht durch Aufdampfen so gebildet, daß sie voneinander getrennt sind. Eine durch Aufdampfen gebildete Schicht wird so geätzt, daß eine Halbleiterschicht mit einem Ende, das auf einem oberen Teil der ersten leitenden Schicht plaziert ist und in Kontakt mit der ersten leitenden Schicht ist, und mit dem anderen Ende auf einem oberen Teil der zweiten leitenden Schicht plaziert ist und in Kontakt mit der zweiten leitenden Schicht ist, gebildet wird. In einem zentralen Abschnitt, der durch das eine und das andere Ende der Halbleiterschicht begrenzt bzw. schichtweise begrenzt ist, wird eine Gateelektrodenschicht, die eine obere Oberfläche und gegenüberliegende Seitenoberflächen der Halbleiterschicht mit einer dazwischen vorgesehenen Gateisolierschicht bedeckt, durch Aufdampfen gebildet. Die erste und die zweite leitende Schicht und die Halbleiterschicht werden so gebildet, daß die Leitungsbreite, die durch die gegenüberliegenden Seitenoberflächen der Halbleiterschicht festgelegt ist, kleiner ist als die Dicke der Halbleiterschicht und daß die Leitungsbreite der ersten und der zweiten leitenden Schicht größer ist als die der Halbleiterschicht.

Bei dem Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend dem einen Aspekt der vorliegenden Erfindung werden jeweilige Abschnitte, die den Dünnschichttransistor bilden, durch das Aufdampfverfahren gebildet. Dies beseitigt die Notwendigkeit einer zeitlich langen thermischen Verarbeitung bei hoher Temperatur zum Herstellen einer SOI-Struktur im Gegensatz zu der bekannten Art, so daß dieser Dünnschichttransistor über einem Element auf dem Substrat gebildet werden kann. Als Ergebnis kann ein Dünnschichttransistor, der geeigneter für eine hohe Integration ist, erhalten werden.

Ein Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem anderen Aspekt der vorliegenden Erfindung weist die folgenden Schritte auf.

Zuerst wird eine Halbleiterschicht gebildet. Es wird ein Photoresist so aufgebracht, daß die Halbleiterschicht bedeckt wird. Der Photoresist wird mit Licht, das durch ein Reticel (Zwischenmaske) mit einem Muster zum Bemustern der Halbleiterschicht übertragen wird, so belichtet, daß die Halbleiterschicht ein Paar von Bereichen aufweist, die als Source/Drainbereiche dienen und die einen Kanalbereich definieren, wodurch das Muster um  $n$  verkleinert wird, und der Photoresist wird entwickelt, um ein Resistmuster zu bilden. Es gibt einen Zwischenraum, der gleich der minimalen Belichtungsgröße  $\times n$  ist, zwischen dem Bereich, der als Drainbereich dient und dem Kanalbereich des Musters. Die Halbleiterschicht wird unter Verwendung des Resistmusters als Maske geätzt, wodurch die Halbleiterschicht bemustert wird, so daß die Schicht ein Paar von Bereichen aufweist, die als Source/Drainbereiche dienen und den Kanalbereich festlegen, und die Leitungsbreite in dem Übergangsabschnitt zwischen dem Kanalbereich und dem Bereich, der als der Drainbereich dient, ist kleiner als die Leitungsbreite der verbleibenden Abschnitte. Es werden Dotierungen in das Paar von Bereichen eingebracht, die als Source/Drainbereiche der Halbleiterschicht dienen, so daß ein Paar von Source/Drainbereichen gebildet wer-

den. Die Gateelektrodenschicht wird so gebildet, daß der Kanalbereich mit einer dazwischenliegenden Gateisolierschicht bedeckt wird.

Entsprechend dem Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend dem oben aufgeführten anderen Aspekt der vorliegenden Erfindung kann ein Dünnschichttransistor mit einem geringen Aus-Strom einfach hergestellt werden.

Weitere Merkmale und Zweckmäßigkeiten der vorliegenden Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine perspektivische Ansicht, die schematisch den Aufbau eines Dünnschichttransistors entsprechend der ersten Ausführungsform zeigt;

Fig. 2—7 schematische Querschnittsansichten entlang der Linie A-A in Fig. 1, die jeweils den ersten bis sechsten Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend der ersten Ausführungsform zeigen;

Fig. 8—10 schematische Querschnittsansichten entlang der Linie B-B in Fig. 1, die jeweils den ersten bis dritten Schritt des Herstellungsverfahrens eines Dünnschichttransistors entsprechend der ersten Ausführungsform zeigen;

Fig. 11 eine schematische Querschnittsansicht entlang der Linie B-B in Fig. 1, die das Herstellungsverfahren eines Dünnschichttransistors entsprechend der ersten Ausführungsform zeigt;

Fig. 12—14 schematische Querschnittsansichten, die jeweils den ersten bis dritten Schritt des Herstellungsverfahrens eines Dünnschichttransistors entsprechend der ersten Ausführungsform zeigen;

Fig. 15—19 schematische Draufsichten, die den ersten bis sechsten Schritt des Herstellungsverfahrens eines Dünnschichttransistors entsprechend der ersten Ausführungsform zeigen;

Fig. 20 eine schematische Querschnittsansicht, die ein Herstellungsverfahren eines Dünnschichttransistors entsprechend einer zweiten Ausführungsform zeigt;

Fig. 21 eine perspektivische Ansicht, die schematisch den Aufbau eines Dünnschichttransistors entsprechend einer dritten Ausführungsform zeigt;

Fig. 22 und 23 schematische Draufsichten, die jeweils den ersten und zweiten Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend der dritten Ausführungsform zeigen;

Fig. 24 und 25 schematische Draufsichten, die jeweils den ersten und zweiten Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend einer vierten Ausführungsform zeigen;

Fig. 26 einen Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend einer fünften Ausführungsform;

Fig. 27 eine Draufsicht, die schematisch den Aufbau eines Dünnschichttransistors entsprechend einer sechsten Ausführungsform zeigt;

Fig. 28 eine Draufsicht, die schematisch den Aufbau einer Photomaske, die zur Herstellung des Dünnschichttransistors entsprechen der sechsten Ausführungsform dient, zeigt;

Fig. 29 und 30 Querschnittsansichten der in Fig. 28 gezeigten Photomaske entlang der Linie C-C, die ein erstes und ein zweites Beispiel zeigen;

Fig. 31A eine Querschnittsansicht der Photomaske zum Beschreiben des Bildens eines Kanalpolysiliziums mit seinem Drainende, das eine Leitungsbreite aufweist, die kleiner ist als die Leitungsbreite der verbleibenden Abschnitte; Fig. 31B eine Querschnittsansicht einer Scheibe und Fig. 31C die Lichtintensität auf der Scheibe;

Fig. 32 ein Diagramm zum Beschreiben, das das Kanalpolysilizium mit seinem Drainende, das eine Leitungsbreite aufweist, die kleiner ist als die der verbleibenden Abschnitte, gebildet werden kann;

Fig. 33 ein Diagramm, das die Beziehung zwischen dem Drainstrom und der negativen Gatespannung des Dünnschichttransistors zeigt;

Fig. 34 ein Schaltungsdiagramm einer Speicherzelle eines SRAMs des CMOS-Typs;

Fig. 35 und 36 schematische Querschnittsansichten, die den ersten und zweiten Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend einer siebten Ausführungsform zeigen;

Fig. 37 eine Querschnittsansicht, die schematisch den Aufbau eines Bodengate-Dünnschichttransistors zeigt;

Fig. 38 eine schematische Querschnittsansicht entlang der Linie E-E in Fig. 37;

Fig. 39 eine Querschnittsansicht, die das Kanalpolysilizium, das in Fig. 38 gezeigt ist, nach einem thermischen Oxidationsprozeß zeigt;

Fig. 40 eine Querschnittsansicht, die schematisch den Aufbau eines Dünnschichttransistors entsprechend einer achten Ausführungsform zeigt;

Fig. 41 eine Querschnittsansicht, die einen Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend einer neunten Ausführungsform zeigt;

Fig. 42 ein Diagramm, das die Konzentration des in eine Polysiliziumschicht, eine Gateisolierschicht und eine Gateelektrodenschicht eines Dünnschichttransistors entsprechend der neunten Ausführungsform eingebrachten Stickstoffes zeigt;

Fig. 43 eine Querschnittsansicht, die schematisch den Aufbau eines oberen Gatedünnschichttransistors zeigt;

Fig. 44 eine schematische Querschnittsansicht, die das Bilden einer Verarmungsschicht an der Gateelektrodenschicht, wenn der Dünnschichttransistor ausgeschaltet ist, zeigt;

Fig. 45 und 46 Querschnittsansichten, die jeweils den Aufbau der Dünnschichttransistoren entsprechend der elften und zwölften Ausführungsform zeigen;

Fig. 47 einen Schritt eines Herstellungsverfahrens eines Dünnschichttransistors entsprechend einer dreizehnten Ausführungsform;

Fig. 48 eine perspektivische Darstellung, die schematisch den Aufbau eines der Anmelderin bekannten Dünnschichttransistors zeigt;

Fig. 49—51 schematische Querschnittsansichten, die den ersten bis dritten Schritt eines Herstellungsverfahrens

rens des der Anmelderin bekannten Dünnfilmtransistors zeigen;

Fig. 52 eine Querschnittsansicht, die eine Verbindung zwischen dem der Anmelderin bekannten Dünnfilmtransistor und einer leitenden Schicht oberhalb des Source/Drainbereiches zeigt;

Fig. 53 eine schematische Querschnittsansicht zum Beschreiben des Bildens einer Überdeckungsverschiebung einer Maske;

Fig. 54 eine schematische Querschnittsansicht, die die Verschiebung eines Kontaktloches aufgrund der Überdeckungsverschiebung der Maske zeigt.

Im folgenden werden Ausführungsformen mit Bezug zu den Figuren beschrieben.

#### Erste Ausführungsform

Wie in Fig. 1 gezeigt ist, weist ein Dünnfilmtransistor entsprechend der vorliegenden Erfindung eine erste und eine zweite leitende Schicht 1a und 1b, eine Halbleiterschicht 3, eine Gateisolierschicht 5 und eine Gateelektrode 7 auf.

Die erste und zweite leitende Schicht 1a und 1b sind aus der gleichen Schicht so gebildet, daß sie voneinander getrennt sind. Die Halbleiterschicht 3 ist so gebildet, daß ihr einer Endabschnitt 3a auf einem oberen Bereich der ersten leitenden Schicht 1a angeordnet ist und in Kontakt mit der Schicht 1a ist, und daß der andere Endabschnitt 3b auf einem oberen Abschnitt der zweiten leitenden Schicht 1b angeordnet ist und in Kontakt mit der zweiten leitenden Schicht 1b ist. Die Gateelektrodenschicht 7 ist so gebildet, daß sie sich über den zentralen Abschnitt erstreckt und den zentralen Abschnitt, der durch das eine Ende 3a und das andere Ende 3b der Halbleiterschicht begrenzt ist, mit der Gateisolierschicht 5 dazwischen bedeckt. Die Gateelektrodenschicht 7 ist so gebildet, daß sie gegenüberliegende Seitenoberflächen und eine obere Oberfläche der Halbleiterschicht 3 bedeckt.

Die Halbleiterschicht 3 ist so gebildet, daß ihre Breite  $W_1$ , die durch die Seitenoberflächen festgelegt ist, kleiner ist als ihre Höhe (Dicke)  $H_1$ . Beispielsweise weist die Halbleiterschicht 3 eine Breite  $W_1$  von 100 nm oder kleiner und eine Höhe  $H_1$  von 200 nm oder kleiner auf.

Die erste und zweite leitende Schicht 1a und 1b weisen eine Leitungsbreite  $W_c$  von 0,3  $\mu\text{m}$  bis 1,0  $\mu\text{m}$  auf. Wenn die Leitungsbreite  $W_c$  kleiner als 0,3  $\mu\text{m}$  ist, kann ein Kontakt mit der ersten und zweiten leitenden Schicht 1a und 1b nicht stabil gemacht werden, wenn Kontaktlöcher 11a, 11b, 13a und 13b aufgrund der Überdeckungsverschiebung verschoben gebildet sind. Zusätzlich ist, wenn die Leitungsbreite  $W_c$  1,0  $\mu\text{m}$  übersteigt, die durch den Dünnfilmtransistor belegte Fläche vergrößert, was nicht für hohe Integration geeignet ist.

Der Dünnfilmtransistor ist über anderen Elementen gebildet, zum Beispiel dem Siliziumsubstrat. Die Kontaktlöcher 11a und 11b sind vorgesehen, um die erste und zweite leitenden Schichten 1a und 1b mit den unteren Elementen elektrisch zu verbinden. Die Kontaktlöcher 13a und 13b sind vorgesehen, um die erste und zweite leitende Schicht 1a und 1b mit den oberen Elementen elektrisch zu verbinden.

Speziell die Kontaktlöcher 13a und 13b können so gebildet sein, daß die Halbleiterschicht 3 und die erste oder zweite leitende Schicht 1a oder 1b freigelegt sind, oder können so vorgesehen sein, daß nur die erste oder zweite leitende Schicht 1a oder 1b freigelegt ist.

Hier dienen, wenn eine p-Typ Dotierung in die Halbleiterschicht 3 und eine n-Typ Dotierung in die erste und zweite leitende Schicht 1a und 1b eingebracht sind, die erste und die zweite leitende Schicht 1a und 1b als Source/Drainbereiche und dieser Dünnfilmtransistor dient als ein n-Kanal-Transistor. Wenn Dotierungen des entgegengesetzten Leitungstypes von den oben beschriebenen eingebracht sind, dient der Transistor als p-Kanal-Transistor.

Wenn das eine oder das andere Ende 3a und 3b der Halbleiterschicht 3 von einem Leitungstyp ist, der verschieden von dem des zentralen Abschnittes ist, der als ein Kanal dient, und der gleiche wie der der ersten und zweiten leitenden Schicht 1a und 1b ist, bilden sie einen Teil der Source/Drainbereiche des Dünnfilmtransistors. Wenn das eine und das andere Ende 3a und 3b der Halbleiterschicht 3 einen Teil der Source/Drainbereiche des Dünnfilmtransistors bilden und eine Dotierungskonzentration aufweisen, die kleiner als die der ersten und zweiten leitenden Schicht 1b und 1b ist, ist eine sogenannte LDD-Struktur durch das eine und das andere Ende 3a und 3b und die erste und zweite leitende Schicht 1a und 1b gebildet. Das Bilden einer solchen LDD-Struktur trägt zur Verringerung des elektrischen Feldes des Drains bei.

Die erste und die zweite leitende Schicht 1a und 1b, die Halbleiterschicht 3a und die Gateelektrodenschicht 7 sind beispielsweise durch Aufdampfen gebildet und aus einem polykristallinen Silizium mit einer eingebrachten Dotierung (im folgenden als dotiertes Polysilizium bezeichnet) gemacht. Die Gateisolierschicht 5 ist aus einem Siliziumoxidfilm bzw. einer Siliziumoxidschicht durch beispielsweise Aufdampfen gebildet.

Im folgenden wird nun ein Herstellungsverfahren des Dünnfilmtransistors entsprechend der vorliegenden Ausführungsform beschrieben.

Wie in Fig. 12 und 15 gezeigt ist, wird eine Zwischenschicht-Isolierschicht 11 aus einer Siliziumoxidschicht auf einer Oberfläche eines Siliziumsubstrates 20 durch CVD (chemisches Abscheiden aus der Gasphase) so gebildet, daß sie eine Dicke von beispielsweise 0,2  $\mu\text{m}$  aufweist. Auf der Zwischenschicht-Isolierschicht 11 wird eine dotierte Polysiliziumschicht mit beispielsweise hinzugefügtem Phosphor über die gesamte Oberfläche durch CVD so gebildet, daß sie eine Dicke von 0,1  $\mu\text{m}$  aufweist. Unter Verwendung bekannter Photolithographie und Ätztechnik wird die dotierte Polysiliziumschicht so bemustert, daß die erste und die zweite leitende Schicht 1a und 1b gebildet werden.

Wie nun in Fig. 2 gezeigt ist, wird eine Siliziumnitridschicht 15 mit einer Dicke von 0,1  $\mu\text{m}$  über die gesamte Oberfläche durch beispielsweise CVD so gebildet, daß die erste und zweite leitende Schicht 1a und 1b bedeckt werden.

Wie in Fig. 13 und 16 gezeigt ist, wird ein rechteckiges Loch 15a in der Siliziumnitridschicht 15 unter Verwendung bekannter Photolithographie und Ätztechnik gebildet. Das rechteckige Loch 15a legt einen Teil



der ersten und der zweiten leitenden Schicht 1a und 1b frei.

Wie in Fig. 3 und 8 gezeigt ist, wird eine polykristalline (poly) Siliziumschicht 3 durch beispielsweise CVD auf der gesamten Oberfläche so gebildet, daß sie eine Dicke von 0,5 µm aufweist und das rechteckige Loch 15a füllt. Die gesamte Oberfläche der Polysiliziumschicht 3 wird einem anisotropen Trockenätzen ausgesetzt, wodurch die Polysiliziumschicht 3 um eine Menge entsprechend ihrer Dicke entfernt wird.

Wie in Fig. 4, 9 und 17 gezeigt ist, läßt ein solches anisotropes Ätzen die Polysiliziumschicht 3 entlang der inneren Wände des rechteckigen Loches 15a und der Seitenwände der ersten und der zweiten leitenden Schicht 1a und 1b zurück. Zu diesem Zeitpunkt weist die Polysiliziumschicht 3 eine Breite von 0,05 µm und eine Höhe von 0,1 µm auf. Dieser Dünnfilmtransistor 3 wird elektrisch mit der ersten und der zweiten leitenden Schicht 1a und 1b verbunden. Danach wird die gesamte Siliziumnitridschicht 15 durch eine heiße Lösung von Phosphorsäure entfernt.

Wie in Fig. 5, 10, 14 und 18 gezeigt ist, bleibt als Ergebnis eines solchen Entfernens der Siliziumnitridschicht ein Muster 3 des Polysiliziums mit einem Kanalbereich des Dünnfilmtransistors (Kanalpolysilizium) zurück. Dies ist deshalb, da das Kanalpolysiliziummuster 3 und die Zwischenschicht-Isolierschicht 11, die aus einer Siliziumoxidschicht gebildet ist, nicht durch die Phosphorsäure abgetragen werden.

Wie in Fig. 6 und 11 gezeigt ist, ist die Siliziumoxidschicht 5, die als eine Gateisolierschicht dient, durch beispielsweise CVD so gebildet, daß sie eine Dicke von 0,02 µm aufweist und die erste und zweite leitende Schicht 1a und 1b und das Kanalpolysiliziummuster 3 bedeckt. Es wird eine phosphordotierte Polysiliziumschicht 7 durch beispielsweise CVD so abgeschieden, daß sie eine Dicke von 0,1 µm aufweist. Die dotierte Polysiliziumschicht 7 und die Siliziumoxidschicht 5 werden unter Verwendung einer bekannten Photolithographie- und Ätztechnik bemustert, wodurch ein Dünnfilmtransistor der vorliegenden Ausführungsform, der in Fig. 1, 7 und 19 gezeigt ist, fertiggestellt wird.

Während die Siliziumnitridschicht 15 zum Festlegen des Rahmens des Kanalpolysiliziummusters 3 verwendet wird, ist das Material nicht auf Siliziumnitrid beschränkt. Jedes Material kann für diese Schicht verwendet werden, so lange es eine Ätzselektivität zu der Siliziumoxidschicht und dem Polysilizium aufweist.

Bei dem Dünnfilmtransistor der vorliegenden Ausführungsform weisen die erste und die zweite leitende Schicht 1a und 1b eine Breite  $W_c$  auf, die größer ist als Breite  $W_1$  der Halbleiterschicht 3a, die in Fig. 1 gezeigt ist. Daher kann, sogar wenn die Kontaktlöcher 11a, 11b, 13a und 13b aufgrund der Überdeckungsverschiebung der Maske versetzt gebildet sind, der Kontakt mit der ersten und der zweiten leitenden Schicht 1a und 1b in einer stabilen Art gebildet werden.

Bei dem Herstellungsverfahren eines Dünnfilmtransistors entsprechend der vorliegenden Ausführungsform wird die Komponente, die jeden Abschnitt des Dünnfilmtransistors bildet, durch das Aufdampfverfahren, wie zum Beispiel CVD, gebildet. Dieses Verfahren beseitigt die Notwendigkeit einer zeitlich langen thermischen Behandlung mit hoher Temperatur, die zum Bilden einer SOI-Struktur benötigt wird, so daß dieser Dünnfilmtransistor einfach oberhalb anderen Elementen gebildet werden kann.

Weiterhin weist die Halbleiterschicht 3 mit einem Kanalbereich eine Breite  $W_1$  auf, die kleiner als die Höhe  $H_1$  ist, wie in dem der Anmelderin bekannten Beispiel (Fig. 48). Dies trägt zur überragenden Stromtreiberfähigkeit und zur verminderten Verschlechterung der Charakteristika bei einem kürzeren Kanal bei und bringt den Vorteil des Verhinderns eines elektrischen Effektes, der durch externe Elektrodenverbindungen bedingt ist, mit sich.

#### Zweite Ausführungsform

Bei der ersten Ausführungsform ist das polykristalline Siliziummuster 3, das als ein Kanalbereich dient, innerhalb eines Loches 15a, das in der Siliziumnitridschicht 15, wie in Fig. 4, 9 und 17 gezeigt ist, vorgesehen ist, gebildet. Wie in Fig. 20 gezeigt ist, kann jedoch die Siliziumnitridschicht als ein rechteckiges Muster 15 zurückgelassen werden und das Muster des Kanalpolysiliziums 3 kann an der äußeren Peripherie davon gebildet werden. In einem solchen Fall wird das Polysiliziummuster 3 auch an der äußeren Peripherie der ersten und der zweiten leitenden Schicht 1a und 1b zurückgelassen.

Da die Schritte danach ähnlich zu denen in der ersten Ausführungsform sind, die oben beschrieben wurde, wird die Beschreibung davon nicht wiederholt.

Entsprechend dem Herstellungsverfahren der vorliegenden Ausführungsform ist die durch die Siliziumnitridschicht 15, die entfernt werden soll, belegte ebene Fläche klein, so daß die Zeit zum Entfernen der Siliziumnitridschicht 15 im Vergleich zu der ersten Ausführungsform reduziert werden kann.

#### Dritte Ausführungsform

In der ersten Ausführungsform ist das Kanalpolysiliziummuster 3 in der Form eines Rahmens und zwei Dünnfilmtransistoren sind parallel verbunden. In einer dritten Ausführungsform, die in Fig. 21 gezeigt ist, gibt es jedoch nur einen vorgesehenen Transistor, um die belegte ebene Fläche zu reduzieren.

Wie in Fig. 21 gezeigt ist, weist in diesem Fall das Kanalpolysiliziummuster 23 nicht eine rahmenähnliche Form auf, sondern weist eine Form auf, die sich als gerade Linie bzw. Leitung erstreckt. Gegenüberliegende Endabschnitte 23a und 23b, die sich linear erstrecken, sind auf einem oberen Teil der ersten und der zweiten leitenden Schicht 1a und 1b und in Kontakt damit jeweils vorgesehen.

Da der Rest des Aufbaues im allgemeinen ähnlich zu dem der ersten Ausführungsform ist, die in Fig. 1 gezeigt ist, sind identische Elemente mit identischen Bezugszeichen bezeichnet und eine Beschreibung von diesen wird nicht wiederholt.

Nun wird ein Herstellungsverfahren eines Dünnfilmtransistors entsprechend der vorliegenden Ausführungs-

form beschrieben. Entsprechend dem Herstellungsverfahren der vorliegenden Ausführungsform werden zuerst Schritte durchgeführt, die ähnlich zu denen der ersten Ausführungsform sind, die in Fig. 15 bis 17 gezeigt sind. Danach wird, wie in Fig. 22 gezeigt ist, ein Resistmuster 25, das nur den oberen Abschnitt des Polysiliziummusters 3 entlang einer Seitenwand des Loches 15a bedeckt, gebildet und das Polysiliziummuster 3 wird einem Trockenätzen unter Verwendung des Resistmuster 25 als Maske ausgesetzt. Das Resistmuster 25 wird dann entfernt und die Siliziumnitridschicht 15 wird ähnlich zu der ersten Ausführungsform entfernt.

Wie in Fig. 23 gezeigt ist, verbleibt als Ergebnis eines solchen Entfernens das Kanalpolysiliziummuster 3 nur in einem Abschnitt entlang einer Seitenwand des Loches. Ähnlich zu der ersten Ausführungsform werden die Gateoxidschicht und die Gateelektrodenschicht gebildet, so daß ein in Fig. 21 gezeigter Dünnfilmtransistor fertiggestellt wird.

In dem in Fig. 22 und 23 gezeigten Herstellungsverfahren werden Schnittabschnitte bzw. sich kreuzende Abschnitte 3e, 3f, 3g und 3h nahe den Enden des Kanalpolysiliziummusters 3 zurückgelassen. Durch geeignetes Steuern können jedoch eine Breite L des Loches 15a, das in Fig. 22 gezeigt ist, und das Kanalpolysiliziummuster 3 mit einer im wesentlichen geraden Leitung, wie in Fig. 21 gezeigt ist, erhalten werden.

Da nur ein Transistor als ein Dünnfilmtransistor entsprechend dieser Ausführungsform vorgesehen ist, anstatt der zwei Transistoren, die parallel verbunden sind, wie in der ersten Ausführungsform, kann die durch den Transistor belegte ebene Fläche reduziert werden.

#### Vierte Ausführungsform

Obwohl die obere Oberfläche und die gegenüberliegenden Seitenoberflächen der Halbleiterschicht 3, die einen Kanalabschnitt bildet, mit der Gateelektrodenschicht 7 in der oben beschriebenen ersten bis dritten Ausführungsform bedeckt ist, ist die untere Oberfläche davon nicht mit der Gateelektrodenschicht 7 bedeckt. Im folgenden wird ein Herstellungsverfahren eines Dünnfilmtransistors beschrieben, bei dem die obere, gegenüberliegende Seiten und die untere Oberfläche der Halbleiterschicht 3 alle mit der Gateelektrodenschicht bedeckt werden.

Das Herstellungsverfahren der vorliegenden Ausführungsform beginnt mit den Schritten, die ähnlich zu denen der ersten Ausführungsform, die in Fig. 8 bis 10 gezeigt ist, sind. Wie in Fig. 24 gezeigt ist, wird als nächstes ein Resistmuster 35 auf der Zwischenschicht-Isolierschicht 11 gebildet. Das Resistmuster 35 weist eine Öffnung 35a auf, die zumindest einen Bereich des Kanalpolysiliziummusters 3 freilegt, der als ein Kanal dient. Unter Verwendung des Resistmuster 35 als Maske wird die Zwischenschicht-Isolierschicht 11 mit Flußsäure um 0,05 µm weggeätzt. Ein solches Ätzen entfernt eine vorbestimmte Dicke der Zwischenschicht-Isolierschicht 11 unter dem Abschnitt des Kanalpolysiliziummusters 3, das als ein Kanal dient. Als Ergebnis schwebt bzw. schwimmt der Abschnitt des Kanalpolysiliziummusters 3, der als Kanal dient, von der Zwischenschicht-Isolierschicht 11. Das Kanalpolysiliziummuster 3 wird jedoch nicht abgeschält, da es an gegenüberliegenden Enden durch die Zwischenschicht-Isolierschicht 11 über die erste und zweite leitende Schicht 1a und 1b getragen ist. Das Resistmuster 35 wird dann entfernt.

Wie in Fig. 25 gezeigt ist, werden eine Gateisolierschicht 5 und eine Gateelektrodenschicht 7 durch beispielsweise ein Niederdruck CVD abgeschieden und bemustert, wodurch eine Struktur verwirklicht wird, bei der die Gateelektrodenschicht 7 alle von der oberen, entgegengesetzten Seiten- und unteren Oberflächen eines Abschnitts eines Kanalpolysiliziummusters 3, das als Kanal dient, umgibt. Das kann erreicht werden, da die Bedeckung eines abgeschiedenen Filmes bzw. einer abgeschiedenen Schicht in einem Niederdruck CVD gut ist.

Da die Gateelektrode 7 die obere Oberfläche, entgegengesetzte Seitenoberflächen und eine untere Oberfläche der Halbleiterschicht 3, die als ein Kanalbereich in dem Dünnfilmtransistor entsprechend der vorliegenden Ausführungsform dient, bedeckt, kann ein Dünnfilmtransistor erhalten werden, der besser durch die Gateelektrode gesteuert wird.

#### Fünfte Ausführungsform

Ein anderer Aufbau wird im folgenden beschrieben, der das gleiche wie die vierte, oben beschriebene Ausführungsform erreicht.

Wie in Fig. 26 gezeigt ist, bedeckt bei einem Dünnfilmtransistor entsprechend der vorliegenden Ausführungsform die Gateelektrodenschicht 7 die obere und gegenüberliegende Seitenoberflächen eines Abschnitts eines Kanalpolysiliziummusters 3, das als ein Kanal dient, und bedeckt auch die gesamte Seitenoberfläche von einem oberen Ende m bis zu einem unteren Ende n davon.

Da der Rest des Aufbaus ähnlich zu dem der ersten Ausführungsform ist, werden identische Komponenten durch identische Bezugszeichen bezeichnet und eine Beschreibung davon wird nicht wiederholt.

Als nächstes wird ein Herstellungsverfahren der vorliegenden Ausführungsform beschrieben.

Das Herstellungsverfahren der vorliegenden Ausführungsform beginnt mit den Schritten, die ähnlich zu denen der ersten Ausführungsform sind, die in Fig. 8 bis 10 gezeigt ist. Als nächstes wird die Siliziumoxidschicht 5 durch ein thermisches Oxidationsverfahren so gebildet, daß die Oberfläche des Kanalpolysiliziummusters 3, wie in Fig. 26 gezeigt ist, bedeckt wird. Zu diesem Zeitpunkt wird ein Oxidationsmittel von oberhalb diffundiert, so daß eine Siliziumoxidschicht auf der Oberfläche des Kanalpolysiliziummusters 3 gebildet wird, und wird auch in das Innere der Zwischenschicht-Isolierschicht 11 einer Siliziumoxidschicht so diffundiert, daß eine Oxidschicht auch in dem unteren Abschnitt des Kanalpolysiliziummusters 3 gebildet wird. Danach wird eine phosphordotierte Polysiliziumschicht 7, die als eine Gateelektrodenschicht dient, durch CVD abgeschieden und bemustert, so daß ein Dünnfilmtransistor fertiggestellt wird.

Obwohl in dem Aufbau des Dünnfilmtransistors der vorliegenden Ausführungsform, die in Fig. 26 gezeigt ist,



die Gateelektrodenschicht 7 nicht an der unteren Oberfläche der Halbleiterschicht 3, die als ein Kanal dient, im Gegensatz zu der vierten Ausführungsform vorgesehen ist, ist die gesamte Seitenoberfläche eines Abschnittes des Kanalpolysiliziummusters, das als ein Kanal dient, von dem oberen Ende m bis zu dem unteren Ende n so bedeckt, daß ein Dünnschichttransistor erhalten werden kann, der durch die Gateelektrode besser als der der ersten Ausführungsform gesteuert werden kann.

5

#### Sechste Ausführungsform

Ziel der vorliegenden Ausführungsform ist es, einen Aus-Strom eines Dünnschichttransistors zu reduzieren.

Als der Aus-Strom wird ein erzeugter Strom angenommen, der in einer Verarmungsschicht bzw. Sperrschicht des Drainendes erzeugt wird. Daher wird die Breite des Drainendes als ein Verfahren des Reduzierens eines Aus-Stromes reduziert, da die Reduzierung der Breite das Volumen der Verarmungsschicht reduziert und daher den erzeugten Strom reduziert. Die der Anmelderin bekannte Kanalbreite des Transistors ist jedoch meistens auf die minimale verarbeitbare Größe eingestellt, die durch die Photolithographie bestimmt ist, und die Breite des Drainendes kann nicht weiter reduziert werden. Die vorliegende Ausführungsform zeigt eine Technik zum Reduzieren der Breite des Drainendes zu einer Größe, die kleiner ist als die minimale verarbeitbare Größe, die durch die Photolithographie festgelegt ist.

10

15

Wie in Fig. 27 gezeigt ist, weist der Dünnschichttransistor entsprechend der vorliegenden Ausführungsform eine Halbleiterschicht 33, eine Gateisolierschicht (nicht gezeigt) und eine Gateelektrodenschicht 7 auf.

In der Halbleiterschicht 33 sind auf beiden Seiten eines Kanalbereiches 33c ein Drainbereich 33a und ein Sourcebereich 33b gebildet, um einen Kanalbereich 33c zu definieren. Die Gateelektrode 7 ist so gebildet, daß sie den Kanalbereich 33c mit einer dazwischen vorgesehenen Gateisolierschicht bedeckt.

20

In diesem Dünnschichttransistor ist ein Drainversatz bzw. -verschiebung 33d zwischen dem Kanalbereich 33c und dem Drainbereich 33a vorgesehen. Ein Leitungsbreite  $d_1$  einer Halbleiterschicht 33 an einem Übergangsabschnitt des Drainbereiches 33a und der Drainversatz 33d sind kleiner als eine Leitungsbreite  $d_2$  der verbleibenden Abschnitte und auch kleiner als die minimale verarbeitbare Größe, die durch Photolithographie festgelegt ist, eingestellt.

25

Normalerweise wird die Halbleiterschicht 33 durch Ätzen der leitenden Schicht unter Verwendung eines Resistmusters als Maske bemustert. Das Resistmuster wird durch Richten eines durch eine Photomaske (Reticle) durchgelassenen Belichtungslichtes auf den Photoresist und Entwickeln des Resists gebildet.

30

Das Herstellungsverfahren der vorliegenden Ausführungsform ist durch den Aufbau der Photomaske zum Bemustern der Halbleiterschicht 33 gekennzeichnet. Im folgenden wird eine genaue Beschreibung des Aufbaues der Photomaske gegeben.

Wie in Fig. 28 und 29 gezeigt ist, betrifft die Beschreibung hier den Fall, bei dem ein Abschnitt 51b entsprechend einem Bereich, in dem die Halbleiterschicht 33 (Fig. 27) gebildet wird, ein durchlässiger Bereich ist. Die Photomaske weist ein transparentes Substrat 53 und eine Lichtabschirmungsschicht 55 von beispielsweise Chrom auf. Die Lichtabschirmungsschicht 55 ist so gebildet, daß sie einen Bereich außer dem Bereich 51d, der dem Bereich zum Bilden der Halbleiterschicht 33 entspricht, und außer einem Bereich 51a, der einem Drainendabschnitt D (Fig. 27) entspricht, bedeckt. Es soll angemerkt werden, daß, wenn das Muster auf der Photomaske auf einen Wafer übertragen wird, während es um  $n$  verkleinert wird, eine Breite  $d_0$  eines Bereiches 51a, der einem Drainendabschnitt D entspricht, kleiner ist als die Größe, die gleich (minimale verarbeitbare Größe auf der Scheibe)  $\times$  (Verkleinerung  $n$ ) ist ( $\times$  entspricht einer Multiplikation der in den beiden Klammern angegebenen Größen).

35

40

Wenn ein Abschnitt 51b in Fig. 28, der einem Bereich entspricht, bei dem eine Halbleiterschicht gebildet wird, als ein Lichtabschirmungsbereich dient, ist die Lichtabschirmungsschicht 55 in einem Abschnitt 51b vorgesehen, der dem Bereich zum Bilden der Halbleiterschicht entspricht, und bedeckt das Substrat außer dem Bereich 51a entsprechend dem Drainendabschnitt D.

45

Wenn das Resist unter Verwendung der in Fig. 28 gezeigten Photomaske 50 bemustert wird und die leitende Schicht unter Verwendung des Resistmusters als Maske bemustert wird, um die Gateelektrodenschicht zu bilden, weist die Gateelektrodenschicht eine in Fig. 27 gezeigte Form auf, wenn man von oben drauf schaut. Wie in Fig. 27 gezeigt ist, ist die Leitungsbreite  $d_1$  am Drainende D der Gateelektrodenschicht kleiner als die Leitungsbreite  $d_2$  der verbleibenden Abschnitte. Der Grund wird dafür im folgenden im Detail beschrieben.

50

Wie in Fig. 31A gezeigt ist, ist die Lichtintensität des durch die Photomaske 50 übertragenen Belichtungslichtes auf der Scheibe wie in Fig. 31C, wenn eine Breite  $d_{p0}$  des Musters 51 der Photomaske 50 eine Größe aufweist, die gleich oder größer als die Größe von (minimale verarbeitbare Größe auf der Scheibe)  $\times$  (Verkleinerung  $n$ ) ist.

55

Wie in Fig. 31C gezeigt ist, wird das Licht etwas gestreut bzw. abgelenkt in den Bereich, der nicht mit dem Belichtungslicht bestrahlt werden soll (unbelichteter Bereich)  $S_c$ , von den Bereichen, die belichtet werden sollen (belichtete Bereiche)  $S_A$  und  $S_B$ . Wenn die Breite  $d_{p0}$  des Musters der Photomaske 50 die oben beschriebene Größe aufweist, erreicht die Summe (durch die strichpunktierte Linie mit einem Punkt gezeigt) der Lichtintensitäten der von den belichteten Bereichen  $S_A$  und  $S_B$  zu dem unbelichteten Bereich  $S_c$  abgelenkten Belichtungslichtstrahlen nicht die Lichtintensität, bei der der Resist aufhört von einem Entwickler aufgelöst zu werden. Daher wird ein Abschnitt eines Negativresists 57, der nicht mit Licht bestrahlt ist, durch einen Entwickler entfernt. Der negative Resist 57 wird als der Resist in Fig. 31B verwendet. Der Resist 57 wird durch den Entwickler in dem Bereich entsprechend dem nichtbelichteten Bereich  $S_c$  aufgelöst und entfernt. Wenn die Schicht 55 auf dem Substrat 20 unter Verwendung eines solchen Resistmusters als Maske geätzt wird, verbleibt somit die geätzte Schicht 55 in Bereichen, die den belichteten Bereichen  $S_A$  und  $S_B$  entsprechen, wird aber in dem Bereich entsprechend dem Bereich  $S_c$  entfernt.

60

65

Wenn dagegen die Leitungsbreite  $d_{po}$  der in Fig. 31A gezeigten Lichtabschirmungsschicht 51 eine Größe aufweist, die kleiner ist als die Größe, die gleich (die minimale verarbeitbare Größe auf der Scheibe)  $\times$  (Verkleinerung  $n$ ) ist, ist die Lichtintensität des durch die Photomaske 50 auf die Scheibe übertragenen Belichtungslichtes wie in Fig. 32 gezeigt ist.

5 Wie in Fig. 32 gezeigt ist, überschreitet in diesem Fall die Summe (durch die Strichpunktlinie mit einem Punkt angedeutet) der Lichtintensitäten der von den belichteten Bereichen  $S_A$  und  $S_B$  zu dem unbelichteten Bereich  $S_C$  gebeugten Belichtungslichtstrahlen die Lichtintensität, bei der der Resist nicht mehr durch einen Entwickler aufgelöst wird. Als Ergebnis kann der Abschnitt, der einem Bereich  $S_C$  des Resists entspricht, nicht durch den Entwickler entfernt werden, wenn ein Negativresist als Resist in Fig. 31B verwendet wird.

10 Folglich verbleibt, wenn die Schicht 55 unter Verwendung des Resistmusters als Maske geätzt wird, die geätzte Schicht 55 an dem Abschnitt, der dem Bereich  $S_C$  entspricht sowie den Bereichen, die den belichteten Bereichen  $S_A$  und  $S_B$  entsprechen.

Wie in Fig. 27 gezeigt ist, ist es weniger wahrscheinlich, daß das Licht zu einem Bereich  $R_1$  von dem belichteten Bereich als zu dem Bereich  $R_2$  gebeugt wird. Als Ergebnis weist der Abschnitt der geätzten Schicht 55 (Fig. 29), der dem nichtbelichteten Bereich entspricht, eine Leitungsbreite  $d_1$  auf, die kleiner ist als die Leitungsbreite  $d_2$  der verbleibenden Abschnitte.

Wie oben beschrieben wird eine Kanalpolysiliziumschicht 33 mit einer Form, die in Fig. 27 gezeigt ist, erhalten, wenn die in Fig. 28 gezeigte Photomaske verwendet wird. Als Ergebnis kann bei der Struktur des Dünnfilmtransistors der vorliegenden Ausführungsform eine Aus-Strom reduziert werden.

20

#### Siebte Ausführungsform

Wie in Fig. 33 gezeigt ist, weist der der Anmelderin bekannte Transistor eine nachteilige Charakteristik auf, daß er einen großen Aus-Strom (der Drainstrom, der erhalten wird, wenn die Gatespannung 0 V ist) auf, wie durch die durchgezogene Linie  $I_1$  gezeigt ist. Es wird gesagt, daß der Aus-Strom durch Erzeugen von Elektronen-Lochpaaren an Kristalldefekten erzeugt wird, die in dem starken elektrischen Feldbereich des Drainendes vorhanden sind (die Ebene, bei der der Drain und der Kanal miteinander in Kontakt sind).

Es wurde ein Verfahren vorgeschlagen, bei dem Stickstoff in das Polysilizium eingebracht wird, um die Kristalldefekte zu deaktivieren (Kristalldefekte in dem Polysilizium, das einen Kanal, eine Source oder ein Drain bildet, wie zum Beispiel eine freie Bindung). Dieses Verfahren ist beispielsweise durch C. K. Yang et al. in "Improved Electrical Characteristics of Thin-Film Transistors Fabricated on Nitrogen-Implanted Polysilicon Films", IEDM 44, Seiten 505—508 beschrieben ist. Die Kristalldefekte werden entsprechend diesem Verfahren deaktiviert, da das eingebrachte Stickstoff sich mit der freien Bindung des Siliziums kombiniert bzw. bindet.

Da jedoch Stickstoff als eine Dotierung des Donatortyps in Silizium funktioniert, ändert es die Einsatzspannung  $V_{th}$  des Transistors in der negativen Richtung, wie durch die durchgezogene Linie  $I_2$  wie in Fig. 33 gezeigt ist. Wenn solche Dünnfilmtransistoren als Ladetransistoren  $Q_5$  und  $Q_6$  einer SRAM Speicherzelle, die in Fig. 34 gezeigt ist, verwendet werden, wird der Ladetransistor  $Q_6$  mit einem Gate, das mit einem Knoten  $N_1$  verbunden ist, der zu Low heruntergezogen wird, nicht einfach eingeschaltet. Dies macht es schwierig, das Potential eines Knotens  $N_2$  auf das Vcc Potential zu heben und macht den Datenspeicherzustand des SRAMs instabil.

40 Unter Berücksichtigung des Obigen wird nicht nur Stickstoff, sondern auch andere Dotierungen, die die Einsatzspannung in die positive Richtung ändern, in den Kanalabschnitt des Transistors eingebracht.

Das Herstellungsverfahren wird mit Bezug zu Fig. 35 und 36 beschrieben.

Wie in Fig. 35 gezeigt ist, wird eine Kanalpolysiliziumschicht 61 durch beispielsweise CVD auf einer Silizium-oxidschicht 11, die auf einem Siliziumsubstrat 20 gebildet ist, so gebildet, daß die Kanalpolysiliziumschicht 61 eine Dicke von 40 nm aufweist. Es werden Stickstoffionen von oberhalb in die Kanalpolysiliziumschicht 61 mit einer Dosis von  $5 \times 10^{14} \text{ cm}^{-2}$  implantiert. Als nächstes werden Fluorionen in die Kanalpolysiliziumschicht 61 von oberhalb mit einer Dosis von  $5 \times 10^{14} \text{ cm}^{-2}$  eingebracht.

Als nächstes wird eine Gateoxidschicht 5 durch beispielsweise CVD so gebildet, daß sie eine Dicke von 40 nm aufweist. Die Gatepolysiliziumschicht 7 wird durch CVD auf der Gateoxidschicht 5 so gebildet, daß sie eine Dicke von 0,2  $\mu\text{m}$  aufweist, und wird unter Verwendung bekannter Photolithographie und Ätztechnik bemustert.

Ein Resistmuster 67 wird als nächstes gebildet und unter Verwendung dieses Musters als Implantationsmaske werden  $\text{BF}_2$  Ionen in die Kanalpolysiliziumschicht 61 eingebracht, wodurch ein Drainbereich 61a und ein Sourcebereich 61b so gebildet werden, daß ein Kanalbereich 61c festgelegt wird. Hier wird ein Drainversatz 61d durch Vorsehen eines Drainbereiches 61a weg von dem Ende der Gateelektrode 7 gebildet. Der Drainversatz 61d wird zum Entspannen des elektrischen Feldes des Drains vorgesehen.

55 Entsprechend dem obigen Herstellungsverfahren kann ein Dünnfilmtransistor mit Stickstoff und Fluor in dem Kanalbereich 61c gebildet werden.

Das Fluor dient zum deaktivieren der Kristalldefekte in dem Polysilizium und zum Bilden von fixierten negativen Ladungen durch Diffundieren in die Gateoxidschicht 5. Daher dient das Fluor zum Aufheben bzw. Löschen der Änderung der Einsatzspannung  $V_{th}$  in der negativen Richtung aufgrund des Donatoreffektes des Stickstoffes. Folglich kann ein Aus-Strom reduziert werden, während die Einsatzspannung  $V_{th}$  des Transistors auf einem geeigneten Wert, wie in Fig. 33 durch die durchgezogene Linie  $I_3$  gezeigt ist, erhalten bleibt.

Es wird angemerkt, daß Neon und Sauerstoff ähnlich wie Fluor funktionieren. Arsenionen oder Phosphorionen können anstatt der oben beschriebenen Fluorionen implantiert werden.

65 Während die obige Beschreibung einen Dünnfilmtransistor mit oben liegendem Gate betrifft, kann das obige Verfahren auch auf einen Dünnfilmtransistor mit einem unterliegenden Gate angewendet werden. Der oben beschriebene Effekt wird noch deutlicher, wenn ein Temperverfahren (Annealing-Verfahren) nach dem Implantieren von Stickstoff und Fluorionen bei 700—900° C durchgeführt wird.

Die vorliegende Ausführungsform kann auf die Dünnfilmtransistoren entsprechend der ersten bis fünften Ausführungsform angewendet werden.

#### Achte Ausführungsform

Es gibt eine der Anmelderin bekannte Technik des Durchführens eines thermischen Oxidationsverfahrens nach dem die Querschnittsstrukturen, wie in Fig. 37 und 38 gezeigt ist, erhalten werden, um die Dicke der Kanalpolysiliziumschicht 71 zum Reduzieren eines Aus-Stromes zu reduzieren. Diese Technik ist beispielsweise durch M. Sasaki et al. in "The Impact of Oxidation of Channel Polysilicon on the Trap-Density of Submicrom Bottom-Gate TFT's" IEEE ELECTRON DEVICE LETTERS, VOL. 15, Nr. 1, Januar 1994, Seiten 1—3 beschrieben ist.

Entsprechend diesem Verfahren wird die Dicke der Gateoxidschicht des Transistors von  $t$  zu  $t'$  durch den thermischen Oxidationsprozeß, wie in Fig. 39 gezeigt ist, erhöht. Dies ist deshalb, da das Oxidationsmittel auch in die Gateoxidschicht 5 während der oben beschriebenen thermischen Oxidation diffundiert, um die untere Oberfläche der Kanalpolysiliziumschicht 71 und die obere Oberfläche der darunter angeordneten Gatepolysiliziumschicht 7 zu oxidieren, wodurch eine Oxidschicht gewachsen wird. Eine solche Erhöhung der Dicke der Gateoxidschicht führt zu einem Anstieg der Einsatzspannung  $V_{th}$  des Transistors.

Im folgenden wird die Struktur der vorliegenden Ausführungsform mit Bezug zu Fig. 40 beschrieben.

Wie in Fig. 40 gezeigt ist, wird eine Oxynitrid- $(\text{SiO}_x\text{N}_{1-x})$ -Schicht als Gateisolierschicht 5a der vorliegenden Ausführungsform verwendet. Die Schicht 5a kann einfach durch ein Niederdruck CVD unter Verwendung von Silangas, Ammoniumgas und  $\text{N}_2\text{O}$ -Gas gebildet werden und dient zum stärkeren Unterdrücken der Diffusion des Oxidationsmittels als die Siliziumoxidschicht. Die Oxynitridschicht ist eine gemischte Schicht aus  $\text{SiO}_2$  und  $\text{Si}_3\text{N}_4$ . Sie ist dicht und weist Charakteristika auf, die ähnlich zu denen einer  $\text{Si}_3\text{N}_4$ -Schicht des kaum Erlaubens des Oxidationsmittels zu diffundieren sind. Die Oxynitridschicht weist einen kleineren Koeffizienten des Erlaubens des Oxidationsmittels in der Schicht zu diffundieren auf als eine reine Siliziumoxidschicht in dem der Anmelderin bekannten Beispiel. Daher wird durch Verwenden der Oxynitridschicht als der Gateisolierschicht die Oxidation der oberen Oberfläche der Gatepolysiliziumschicht 7 und der unteren Oberfläche der Kanalpolysiliziumschicht 71 unterdrückt, sogar wenn der oben beschriebene thermische Oxidationsprozeß durchgeführt wird. Folglich kann ein Ansteigen der Dicke der Gateisolierschicht 5a unterdrückt werden.

Da die Kanalpolysiliziumschicht 71 von der oberen und den gegenüberliegenden Seitenoberflächen oxidiert wird, wird die Schicht in der Dicke reduziert. Daher kann, wenn die Oxynitridschicht als die Isolierschicht 5a verwendet wird und der thermische Oxidationsprozeß nach dem Bilden des Musters der Kanalpolysiliziumschicht 71 durchgeführt wird, ein Aus-Strom reduziert werden, während ein Anstieg der Einsatzspannung  $V_{th}$  des Dünnfilmtransistors unterdrückt wird.

Im folgenden wird ein Beispiel eines Herstellungsverfahrens der vorliegenden Ausführungsform beschrieben.

Wie in Fig. 40 gezeigt ist, wird die Polysiliziumschicht 7, die eine Dicke von  $0,1\text{ }\mu\text{m}$  aufweist und die als die Gateelektrode dient, durch CVD auf der Siliziumoxidschicht 11, die auf dem Siliziumsubstrat 20 gebildet ist, gebildet. Wenn die Schicht 7 abgeschieden wird, wird Phosphor dazugegeben. Die Schicht 7 wird dann durch die bekannte Photolithographie und Ätztechnik so bearbeitet, daß sie ein vorbestimmtes Muster aufweist. Die Oxynitridschicht 5a wird durch Niederdruck CVD so abgeschieden, daß sie eine Dicke von  $40\text{ nm}$  aufweist. Als nächstes wird die Kanalpolysiliziumschicht 71 durch CVD so abgeschieden, daß sie eine Dicke  $40\text{ nm}$  aufweist, und so verarbeitet, daß sie ein vorbestimmtes Muster aufweist. In der trockenen  $\text{O}_2$ -Atmosphäre bei  $700\text{--}900^\circ\text{C}$  wird ein thermisches Oxidationsverfahren durchgeführt und das Polysiliziummuster 71 wird oxidiert und in der Dicke reduziert. Danach wird ein Resistmuster gebildet und unter Verwendung des Musters als Maske werden  $\text{BF}_3$ -Ionen in die Kanalpolysiliziumschicht 71 mit einer Dosis  $1 \times 10^{15}\text{ cm}^{-2}$  implantiert. Durch eine solche Ionenimplantation werden die Source/Drainbereiche gebildet, so daß ein Transistor fertiggestellt wird.

Als Verfahren zum Bilden einer Oxynitridschicht kann ein anderes Verfahren verwendet werden, bei dem die Siliziumoxidschicht, die durch CVD gebildet ist, einer Ammoniumatmosphäre bei  $1000^\circ\text{C}$  so ausgesetzt wird, um die Schicht zu nitrieren.

Die vorliegende Ausführungsform kann auf die Dünnfilmtransistoren in der ersten bis fünften Ausführungsform angewendet werden.

#### Neunte Ausführungsform

Im folgenden werden andere Verfahren zum Unterdrücken des Anstieges der Einsatzspannung  $V_{th}$  aufgrund des thermischen Oxidationsprozesses mit Bezug zu Fig. 41 und 42 beschrieben, die keine Oxynitridschicht verwendet.

Wie in Fig. 41 gezeigt ist, werden nachdem das Kanalpolysiliziummuster 71 gebildet ist, Stickstoffionen 73 durch das Ionenimplantationsverfahren in die Gatepolysiliziumschicht 7 und die Gateoxidschicht 5 eingebracht. Die Implantationsenergie ist  $20\text{--}30\text{ keV}$ , die so eingestellt ist, daß der Bereich nahe der oberen Oberfläche der Gatepolysiliziumschicht 7 sein wird. Die Stickstoffionen werden mit einer Dosis von  $1 \times 10^{14}$  bis  $1 \times 10^{17}\text{ cm}^{-2}$  implantiert.

Dieses Verfahren ermöglicht das Unterdrücken der thermischen Oxidation des oberen Oberflächenabschnittes der Gatepolysiliziumschicht 7. Genauer kann, da der implantierte Stickstoff an der oberen Oberfläche der Gatepolysiliziumschicht 7 und in der Gateoxidschicht 5, wie in Fig. 42 gezeigt ist, vorhanden ist, das Oxidationsmittel, das während der thermischen Oxidation diffundiert, blockiert bzw. gestoppt werden und die Oxidationsgeschwindigkeit des Polysiliziums kann reduziert werden.

Tempern bzw. Erwärmen (Annealing) bei einer Temperatur von  $700\text{--}900^\circ\text{C}$  kann zusätzlich zwischen der

Stickstoffionenimplantation und dem thermischen Oxidationsprozeß durchgeführt werden. Ein solches Tempern führt zu einem Abscheiden der Stickstoffionen in der Gateoxidschicht, wie in Fig. 42 gezeigt ist, und zum Bilden einer großen Menge von Si-N Bindungen, wodurch der Effekt der Unterdrückung der Diffusion des Oxidationsmittels noch deutlicher wird.

5 Eine solche Stickstoffionenimplantation kann nach dem Bilden der Polysiliziumschicht 7 oder nach dem Bilden der Gateoxidschicht 5 ausgeführt werden. Dieses Verfahren beseitigt die Notwendigkeit zum Ändern in der Gateisolierschicht.

Es gibt noch ein anderes Verfahren, daß keine Ionenimplantation verwendet. Dieses Verfahren verwendet Stickstoffgas während des CVD-Schrittes zum Bilden der Gatepolysiliziumschicht 7, um Stickstoff sowie 10 Phosphor zu der Gatepolysiliziumschicht 7 hinzuzufügen.

Die vorliegende Ausführungsform kann bei den Dünnschichttransistoren der ersten bis fünften Ausführungsform angewendet werden.

#### Zehnte Ausführungsform

15 Die Gatepolysiliziumschicht des der Anmelderin bekannten Dünnschichttransistors enthält Dotierungen mit einer Konzentration von ungefähr  $10^{20} \text{ cm}^{-3}$ . Daher verarmen die Träger nicht an der Kanaloberfläche der Gatepolysiliziumschicht entweder in dem Ein-Zustand oder in dem Aus-Zustand des Transistors und damit ist die effektive Gatekapazität konstant festgelegt.

20 Ein Aus-Strom hängt stark von dem elektrischen Feld des Drainendes ab und kann durch Entspannen des elektrischen Feldes, wie oben beschrieben, reduziert werden. Dieses elektrische Feld ist proportional zu dem Unterschied zwischen der Gatespannung und der Drainspannung und zu der Gatekapazität. Folglich kann das elektrische Feld durch Verringern der Gatekapazität geschwächt werden, so daß ein Aus-Strom unterdrückt werden kann.

25 Da jedoch die Reduzierung der Gatekapazität zu einer Verringerung des Ein-Stromes führt, kann die Gatekapazität nicht einfach reduziert werden. Ein Ziel der vorliegenden Ausführungsform ist es, beides, einen hohen Ein-Strom und einen geringen Aus-Strom, durch Reduzieren der Gatekapazität in dem Aus-Zustand im Vergleich zu dem Ein-Zustand zu erhalten.

Wie in Fig. 43 gezeigt ist, werden die Dotierungen, die in die Gatepolysiliziumschicht 81 in einem Dünnschichttransistor mit einem oberliegenden Gate eingebracht sind, so ausgewählt, daß sie einen Leitungstyp aufweisen, der entgegengesetzt zu der der Dotierung ist, die in den Source/Drainbereich eingebracht ist. Wenn zum Beispiel der Transistor ein p-Kanal-Transistor ist, werden n-Typ Dotierungen ausgewählt. Die Konzentration der Dotierungen in der Gatepolysiliziumschicht 81 wird auf  $4,23 \times 10^{19} \text{ cm}^{-3}$  oder kleiner eingestellt. Im 30 folgenden wird der Zustand eines p-Kanal-Transistors mit einer solchen Gatepolysiliziumschicht 81 während des Betriebes beschrieben.

35 Während des Ein-Betriebes wird eine negative Spannung an das Gate 81 angelegt. Da eine negative Spannung auch an ein Drain 61a angelegt wird, verarmen die Träger nicht an der Gatepolysiliziumschicht 81 und die Gatekapazität besteht nur aus der Kapazität der Gateoxidschicht 5, so daß ein großer Ein-Strom erhalten werden kann.

40 Im Gegensatz dazu ist während des Aus-Betriebes die Gatespannung gleich 0 V und eine negative Spannung ist an den Drainanschluß 61a angelegt. Da das Gate 81 eine positive Potentialdifferenz mit dem Drain 61a aufweist, werden Träger oder Elektronen an der Seite der n-Typ Gatepolysiliziumschicht 81, die den Drain 61a, wie in Fig. 44 gezeigt, bedeckt, weggeleitet und eine Verarmungsschicht 81a wird gebildet. Die effektive Gatekapazität in diesem Zustand ist gleich der seriellen verbundenen Kapazität des Gateoxidfilmes und der Verarmungsschicht 81a und daher erniedrigt sich der Kapazitätswert. Als Ergebnis wird das Feld des Drainendes 45 kleiner als bei der der Anmelderin bekannten Technik und ein Aus-Strom des Transistors kann reduziert werden.

Da es das Ziel ist, das elektrische Feld zwischen dem Gate und dem Drain bei Verarmung der Gatepolysiliziumschicht 81 zu entspannen, wird hier definiert, daß das Ziel erreicht wird, wenn das elektrische Feld um 10% oder mehr verringert wird. Das Entspannungsverhältnis wird zu 10% gesetzt, da die Variation in dem Aus-Strom 50 zwischen Transistoren ungefähr 10% ist. Die folgende Beziehung kann erhalten werden, bei der die Breite der Verarmungsschicht in dem Gatepolysilizium 81 als  $x$  dargestellt wird (Fig. 44), die Dotierungskonzentration als  $N$  und der Spannungsabfall als  $V_d$ :

$$N = 2 \epsilon_s V_d / q x^2$$

55 wobei  $\epsilon_s$  die Dielektrizitätskonstante des Siliziums ( $1,05 \times 10^{-12} \text{ F/cm}^2$ ) ist und  $q$  die Größe der Elementarladung ( $1,60 \times 10^{-19} \text{ C}$ ) ist.

Unter der Annahme, daß die Spannung zwischen dem Gate und dem Drain durch  $V_{gd}$  dargestellt wird, ist das elektrische Feld des Drains durch die Verarmung des Gates entspannt, wenn  $V_d$  gleich oder größer als 10% von  $V_{gd}$  ist. Dies ist deshalb, da  $V_{gd}$  um die Spannung  $V_d$ , die an der Verarmungsschicht 81a der Gatepolysiliziumschicht 81 angelegt ist, verringert ist. Hier ist der Kehrwert der Kapazität  $C_d$  der Verarmungsschicht 81a 10% des Kehrwertes der Kapazität  $C_{ox}$  der Gateoxidschicht 5. Daher ist die Gleichung  $x = 0,305 \times t_{ox}$  bestimmt. Somit kann  $N$  von den obigen Formeln wie folgt erhalten werden.

$$65 \quad N = \frac{2 \times 1,05 \times 10^{-12} \times 0,1 \times V_{gd}}{1,60 \times 10^{-19} \times (0,305 \times t_{ox})^2} = 1,41 \times 10^7 \times \left( \frac{V_{gd}}{t_{ox}} \right)$$

V<sub>gd</sub> ist normalerweise 3 V in der Speicherzelle eines SRAMs und wenn  $t_{ox}$  10 nm ist, dann ist  $N$  gleich  $4,23 \times 10^{19} \text{ cm}^{-3}$ . Somit wird, wenn die Dotierungskonzentration  $N$  der Gatepolysiliziumschicht 81 auf  $4,23 \times 10^{19} \text{ cm}^{-3}$  der kleiner eingestellt ist, das elektrische Feld des Drainendes um 10% reduziert und die Verringerung des Aus-Stromes des Transistors wird bedeutend.

In Fig. 3 von N.D. Arora et al, "Modeling the Polysilicon Depletion Effect and Its Impact on Submicrometer CMOS circuit Performance" IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 42, Nr. 5, Mai 1995, Seiten 935–942 wird beschrieben, daß die Einsatzspannung  $V_{th}$  aufgrund der Verarmung von dem Punkt an ansteigt, bei dem die Dotierungskonzentration der Gatepolysiliziumschicht  $1 \times 10^{19} \text{ cm}^{-3}$  ist.

Ein Herstellungsverfahren eines Transistors mit einem solchen Aufbau wird im folgenden beschrieben.

Wie in Fig. 43 gezeigt ist, werden durch CVD auf der Siliziumoxidschicht 11, die auf dem Siliziumsubstrat 20 gebildet ist, eine Kanalpolysiliziumschicht 61 mit einer Dicke von 40 nm und eine Gateoxidschicht 5 mit einer Dicke von 40 nm gebildet. Als nächstes wird durch CVD darauf eine Polysiliziumschicht 81 ohne eingebrachte Dotierung so abgeschieden, daß sie eine Dicke von 0,1 µm aufweist. Es werden Phosphorionen durch ein Ionenimplantationsverfahren mit einer Implantationsenergie von 40–60 keV und der Dosis von  $1 \times 10^{13} - 5 \times 10^{14} \text{ cm}^{-2}$  in das Polysilizium 81 implantiert. Tempern bzw. Ausheilen wird bei einer Temperatur von 800°C durchgeführt und Phosphor wird aktiviert. Durch dieses Schritte wird eine Gatepolysiliziumschicht 81 mit einer Dotierungskonzentration von  $4,23 \times 10^{19} \text{ cm}^{-3}$  oder weniger gebildet. Danach wird die Polysiliziumschicht 81 so verarbeitet, daß sie ein gewünschtes Muster aufweist, und die Source und Drainabschnitte werden gebildet, so daß ein Transistor fertiggestellt wird.

Die Schritte zum Bilden eines n-Kanal-Transistors sind die gleichen wie die oben beschrieben, außer daß Bor in das Gatepolysilizium implantiert wird.

#### Elfte Ausführungsform

Wie in Fig. 45 gezeigt ist, kann eine CMOS-(komplementäre Metalloxidhalbleiter)Schaltung durch einen p-Kanal-Transistor 80A mit einer n-Typ Gatepolysiliziumschicht 81 mit geringer Dotierungskonzentration, die in Zusammenhang mit der zehnten Ausführungsform beschrieben wurde, und durch einen n-Kanal-Transistor 80B mit einer p-Typ Gatepolysiliziumschicht 81 mit einer geringen Dotierungskonzentration, die in Zusammenhang mit der zehnten Ausführungsform beschrieben wurde, gebildet werden.

Da die Gatepolysiliziumschicht 81 eine geringe Dotierungskonzentration aufweist, kann eine CMOS-Schaltung mit reduziertem Leckstrom erhalten werden.

Während die Beschreibung in Zusammenhang mit einem Transistor mit einem obenliegenden Gate in der zehnten und elften Ausführungsform gemacht wurden, kann die Anwendung auch bei einem Transistor mit einem unterliegenden Gate durchgeführt werden.

#### Zwölfte Ausführungsform

Da die Gatepolysiliziumschicht in der obigen zehnten und elften Ausführungsform eine geringe Dotierungskonzentration aufweist, weist die Gatepolysiliziumschicht einen großen elektrischen Widerstand auf.

Für Anwendungen, bei denen ein solcher großer Widerstand nachteilig ist, wird eine Schicht 91 aus Metall, wie zum Beispiel W (Wolfram), Ti (Titan) und Co (Kobalt) oder aus Metallsilizid davon, auf das Obere der Polysiliziumschicht 81 so gestapelt, das eine Zweischichtgateelektrode gebildet wird, um solche Schwierigkeiten zu lösen. Da die Schicht 91 eines solchen Metalls oder Silizids davon einen geringen elektrischen Widerstand aufweist, spielt eine solche Schicht eine Rolle der Reduzierung des Widerstands der Gateelektrode anstatt der Polysiliziumschicht 81.

Als ein Verfahren der Herstellung einer solchen Struktur kann ein Verfahren verwendet werden, bei dem eine Dotierung in die Gatepolysiliziumschicht 81 in der zehnten Ausführungsform, die in Fig. 43 gezeigt ist, implantiert wird und das Metall oder das Metallsilizid davon durch ein Sputterverfahren so abgeschieden wird, daß es eine Dicke von 0,1–0,3 µm aufweist und so verarbeitet wird, daß das Gateelektrodenmuster erhalten wird.

#### Dreizehnte Ausführungsform

Das folgende Verfahren kann auch zum Bilden der Gatepolysiliziumschicht mit geringer Dotierungskonzentration verwendet werden.

Dieses Verfahren verwendet das Einbringen von Dotierungen von entgegengesetzten Typen in den Source/Drainbereich und die Gateelektrode. Entsprechend diesem Verfahren werden die Dotierungen in die Gatepolysiliziumschicht mit einer Dosis implantiert, die gleich der Summe der gewünschten Dotierungskonzentration und der Dotierungskonzentration des Source/Drainbereiches ist.

Genauer wird, wie in Fig. 47 gezeigt ist, Phosphor in die Gatepolysiliziumschicht 81 mit einer Dosis von  $1,1 \times 10^{15} \text{ cm}^{-2}$  implantiert. Danach wird Bor mit einer Dosis von  $1,0 \times 10^{15} \text{ cm}^{-2}$  zum Bilden der Source/Drainbereiche 61a und 61b in die freigelegte Oberfläche der Gatepolysiliziumschicht 81 implantiert. Als Ergebnis existieren Phosphor mit  $1,1 \times 10^{15} \text{ cm}^{-2}$  und Bor mit  $1,0 \times 10^{15} \text{ cm}^{-2}$  nebeneinander in der Gatepolysiliziumschicht 81. Da sie Dotierungen von entgegengesetzten Leitungstypen sind, kompensieren sie sich gegeneinander und daher entspricht dies der Implantierung von Phosphor von  $1,0 \times 10^{14} \text{ cm}^{-2}$  in die Gatepolysiliziumschicht 81. Somit kann Phosphor mit einer Dosis von  $1 \times 10^{14} \text{ cm}^{-2}$  für die Gatepolysiliziumschicht 81 erhalten werden und die Bordosis von  $1 \times 10^{15} \text{ cm}^{-2}$  für den Sourcebereich 61b und den Drainbereich 61a kann erhalten werden.

Obwohl es notwendig war, das Gate mit einer Maske einer Oxidschicht oder einem Resist zu bedecken, um zu verhindern, daß die Dotierung des Source/Drainbereiches in das Gate bei der der Anmelderin bekannten

Technik eindringt, beseitigt dieses Verfahren die Notwendigkeit eines solchen Schrittes.

Während die obige Beschreibung ein p-Kanal-Transistor betrifft, kann das gleiche auf einen n-Kanal-Transistor angewendet werden.

Die zehnte bis dreizehnte Ausführungsform kann auf die Dünnschichttransistoren der ersten bis fünften Ausführungsform angewendet werden.

Bei der Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem Aspekt werden die erste und zweite leitende Schicht so gebildet, daß sie jeweils das eine und das andere Ende der Halbleiterschicht kontaktieren und eine Breite aufweist, die größer ist als die der Halbleiterschicht, so daß ein Kontakt der ersten und zweiten leitenden Schicht stabil gebildet werden kann, sogar wenn die Position, bei der ein Kontaktloch das eine und das andere Ende der Halbleiterschicht erreicht, aufgrund der Verschiebung der Maske versetzt ist.

Bei dem Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem Aspekt wird jeder Abschnitt, der den Dünnschichttransistor bildet, durch Aufdampfen gebildet, so daß der Dünnschichttransistor oberhalb des Elementes auf dem Substrat gebildet werden kann. Als Ergebnis wird ein Dünnschichttransistor erhalten, der geeigneter für hohe Integration ist.

Bei dem Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor entsprechend einem anderen Aspekt kann ein Dünnschichttransistor mit einem kleinen Aus-Strom einfach hergestellt werden.

#### Patentansprüche

1. Halbleitereinrichtung mit einem Dünnschichttransistor mit:  
einer ersten und einer zweiten leitenden Schicht (1a, 1b), die so vorgesehen sind, daß sie voneinander getrennt sind,  
einer Halbleiterschicht (3) mit einem Ende (3a), das auf der ersten leitenden Schicht (1a) angeordnet ist und in Kontakt mit der ersten leitenden Schicht (1a) ist, und einem anderen Ende (3b), das auf der zweiten leitenden Schicht (1b) angeordnet ist und in Kontakt mit der zweiten leitenden Schicht (1b) ist, und  
einer Gateelektroden-schicht (7), die eine obere Oberfläche und gegenüberliegende Seitenoberflächen der Halbleiterschicht (3) mit einer dazwischen vorgesehenen Gateisolierschicht (5) an einem zentralen Abschnitt (3c), der durch das eine Ende (3a) und das andere Ende (3b) begrenzt ist, bedeckt, wobei eine Leitungsbreite ( $W_1$ ), die durch die gegenüberliegenden Seitenoberflächen der Halbleiterschicht (3) festgelegt ist, kleiner als eine Dicke ( $H_1$ ) der Halbleiterschicht (3) ist, und eine Leitungsbreite ( $W_c$ ) der ersten und der zweiten leitenden Schicht (1a, 1b) größer als die Leitungsbreite ( $W_1$ ) der Halbleiterschicht (3) ist.
2. Halbleitereinrichtung mit einem Dünnschichttransistor nach Anspruch 1, weiter aufweisend ein Halbleitersubstrat mit einer Hauptoberfläche, wo ein Element gebildet ist, und einer Isolierschicht (11), die so auf der Hauptoberfläche gebildet ist, daß das Element bedeckt ist, und die ein Loch (11a, 11b) aufweist, wobei die erste und zweite leitende Schicht (1a, 1b) auf der Isolierschicht (11) gebildet sind und wobei zumindest eine von der ersten und zweiten leitenden Schicht (1a, 1b) elektrisch mit dem Element durch das Loch (11a, 11b) verbunden ist.
3. Halbleitereinrichtung mit einem Dünnschichttransistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Gateelektroden-schicht (7) eine untere Oberfläche der Halbleiterschicht (3) bedeckt.
4. Halbleitereinrichtung mit einem Dünnschichttransistor nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Gateelektroden-schicht (7) die Halbleiterschicht (3) von einem oberen Ende der Seitenoberfläche zu einem unteren Ende davon in dem zentralen Abschnitt (3c) der Halbleiterschicht (3) bedeckt.
5. Halbleitereinrichtung mit einem Dünnschichttransistor nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß zumindest eine Art der Dotierung, die von der Gruppe bestehend aus Fluor, Sauerstoff und Neon ausgewählt ist, und Stickstoff zumindest in einem Abschnitt der Halbleiterschicht (3), die mit der Gateelektroden-schicht (7) bedeckt ist, eingebracht ist.
6. Halbleitereinrichtung mit einem Dünnschichttransistor nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Gateisolierschicht (5) eine Siliziumoxynitrid- $(\text{SiO}_x\text{N}_{1-x})$ -Schicht aufweist.
7. Halbleitereinrichtung mit einem Dünnschichttransistor nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß Stickstoff in eine Oberfläche der Gateelektroden-schicht (7), die zu der Halbleiterschicht (3) und der Gateisolierschicht (5) weist, eingebracht ist.
8. Halbleitereinrichtung mit einem Dünnschichttransistor nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der Leitungstyp der in die erste und zweite leitende Schicht (1a, 1b) eingebrachten Dotierung verschieden von dem Leitungstyp der in der Gateelektrode (7) eingebrachten Dotierung ist und die Konzentration der in die Gateelektroden-schicht (7) eingebrachten Dotierung maximal  $4,23 \times 10^{19} \text{ cm}^{-3}$  ist.
9. Halbleitereinrichtung mit einem Dünnschichttransistor nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die Halbleiterschicht (3) und die erste und zweite leitende Schicht (1a, 1b) jeweils eine Dotierung des gleichen Leitungstypes enthalten und die Konzentration der in das eine Ende (3a) und das andere Ende (3b) eingebrachten Dotierung niedriger ist als die Konzentration der in die erste und zweite leitende Schicht (1a, 1b) eingebrachten Dotierung.
10. Halbleitereinrichtung mit einem Dünnschichttransistor mit einer Halbleiterschicht (61), mit einem Paar von Source/Drainbereichen (61a, 61b), die voneinander mit einem Abstand so angeordnet sind, daß sie einen Kanalbereich (61c) festlegen, und einer Gateelektroden-schicht (7), die dem Kanalbereich der Halbleiterschicht (61) mit einer dazwischen



vorgesehenen Gateisolierschicht (5) gegenüberliegt, wobei zumindest eine Art einer Dotierung, die von der Gruppe bestehend aus Fluor, Sauerstoff und Neon ausgewählt ist, und Stickstoff in dem Kanalbereich eingebracht sind.

11. Halbleitereinrichtung mit einem Dünnschichttransistor mit einer Halbleiterschicht (71) mit einem Paar von Source/Drainbereichen, die voneinander mit einem Abstand so angeordnet sind, daß sie einen Kanalbereich (71c) festlegen und einer Gateelektrodenschicht (7), die dem Kanalbereich der Halbleiterschicht (71) mit einer dazwischen vorgesehenen Gateisolierschicht (5) gegenüberliegt, wobei Stickstoff in einer Oberfläche der Gateelektrodenschicht (7), die dem Kanalbereich und der Gateisolierschicht (5) gegenüberliegt, eingebracht ist.

12. Halbleitereinrichtung mit einem Dünnschichttransistor mit einer Halbleiterschicht (61) mit einem Paar von Source/Drainbereichen (61a, 61b), die mit einem Abstand voneinander so angeordnet sind, daß ein Kanalbereich (61c) festgelegt wird, und einer Gateelektrodenschicht (81), die dem Kanalbereich der Halbleiterschicht (61) mit einer dazwischen vorgesehenen Gateisolierschicht (5) gegenüberliegt, wobei der Leitungstyp der in den Source/Drainbereichen (61a, 61b) der Halbleiterschicht (61) eingebrachten Dotierung verschieden von dem Leitungstyp der in die Gateelektrodenschicht (81) eingebrachten Dotierung ist und

die Konzentration der in die Gateelektrodenschicht (81) eingebrachten Dotierung höchstens  $4,23 \times 10^{19} \text{ cm}^{-3}$  ist.

13. Halbleitereinrichtung mit einem Dünnschichttransistor nach Anspruch 12, dadurch gekennzeichnet, daß die Gateelektrodenschicht (81) eine polykristalline Siliziumschicht (81) mit einer Dotierungskonzentration von höchstens  $4,23 \times 10^{19} \text{ cm}^{-3}$  und einer auf der polysiliziumkristallinen Schicht (81) gebildeten Schicht aufweist und zumindest ein Metall oder ein Silizid des Metalls enthält.

14. Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor mit den Schritten:  
Bilden einer ersten und einer zweiten leitenden Schicht (1a, 1b) durch Aufdampfen derart, daß sie voneinander getrennt sind, Ätzen einer Schicht so, die durch Aufdampfen gebildet ist, daß eine Halbleiterschicht (3) mit einem Ende, das auf der ersten leitenden Schicht (1a) vorgesehen ist und in Kontakt mit der ersten leitenden Schicht (1a) ist, und einem anderen Ende (3b), das auf der zweiten leitenden Schicht (1b) vorgesehen ist und in Kontakt mit der zweiten leitenden Schicht (1b) ist, gebildet wird und

Bilden einer Gateelektrodenschicht (7) durch Aufdampfen, die eine obere Oberfläche und gegenüberliegenden Seitenoberflächen der Halbleiterschicht (3) mit einer dazwischen vorgesehenen Gateisolierschicht (5) in einem zentralen Abschnitt (3c), der durch das eine Ende (3a) und das andere Ende (3b) der Halbleiterschicht (3) begrenzt ist, bedeckt, wobei

die Halbleiterschicht (3) und die erste und die zweite leitende Schicht (1a, 1b) so gebildet werden, daß eine Leitungsbreite ( $W_1$ ), die durch die gegenüberliegenden Seitenoberflächen der Halbleiterschicht (3) festgelegt ist, kleiner ist als eine Dicke ( $H_1$ ) der Halbleiterschicht (3) und eine Leitungsbreite ( $W_c$ ) der ersten und der zweiten leitenden Schicht (1a, 1b) größer ist als die Leitungsbreite ( $W_1$ ) der Halbleiterschicht (3).

15. Herstellungsverfahren einer Halbleitereinrichtung mit einem Dünnschichttransistor mit den Schritten:  
Bilden einer Halbleiterschicht (3),

Aufbringen eines Photoresists derart, daß die Halbleiterschicht (3) bedeckt wird,

Aussetzen des Photoresists einem Belichtungslicht, das durch ein Reticel (50), das ein Muster zum Bemustern einer Halbleiterschicht (33) aufweist, durchgelassen wurde, um die Schicht mit einem Paar von Bereichen zur Verfügung zu stellen, die als Source/Drainbereiche (33a, 33b) dienen und einen Kanalbereich (33c) festlegen, während das Muster um n verkleinert wird, und Entwickeln des Photoresists derart, daß ein Resistmuster gebildet wird,

wobei zwischen einem Bereich, der als der Kanalbereich (33c) des Musters dient, und dem Bereich, der als der Drainbereich (33b) des Musters dient, ein Raum vorhanden ist, der kleiner ist als eine Größe der minimalen Belichtungsgröße  $\times n$ .

Ätzen der Halbleiterschicht (33) unter Verwendung des Resistmusters als Maske und Bemustern der Halbleiterschicht (33) derart, daß die Halbleiterschicht (33) ein Paar von Bereichen aufweist, die als die Source/Drainbereiche dienen, um den Kanalbereich (33c) festzulegen, wobei

eine Leitungsbreite an einem Übergangsabschnitt zwischen dem Kanalbereich (33c) und dem Bereich, der als der Drainbereich (33b) dient, kleiner ist als die Leitungsbreite der verbleibenden Abschnitte,

Einbringen einer Dotierung in das Paar von Bereichen, die als Source/Drainbereiche (33a, 33b) der Halbleiterschicht (33) dienen, so daß ein Paar von Source/Drainbereichen (33a, 33b) gebildet wird, und

Bilden einer Gateelektrodenschicht, die dem Kanalbereich (33c) mit einer dazwischen vorgesehenen Gateisolierschicht gegenüberliegt.

Hierzu 31 Seite(n) Zeichnungen

FIG. 1 \*

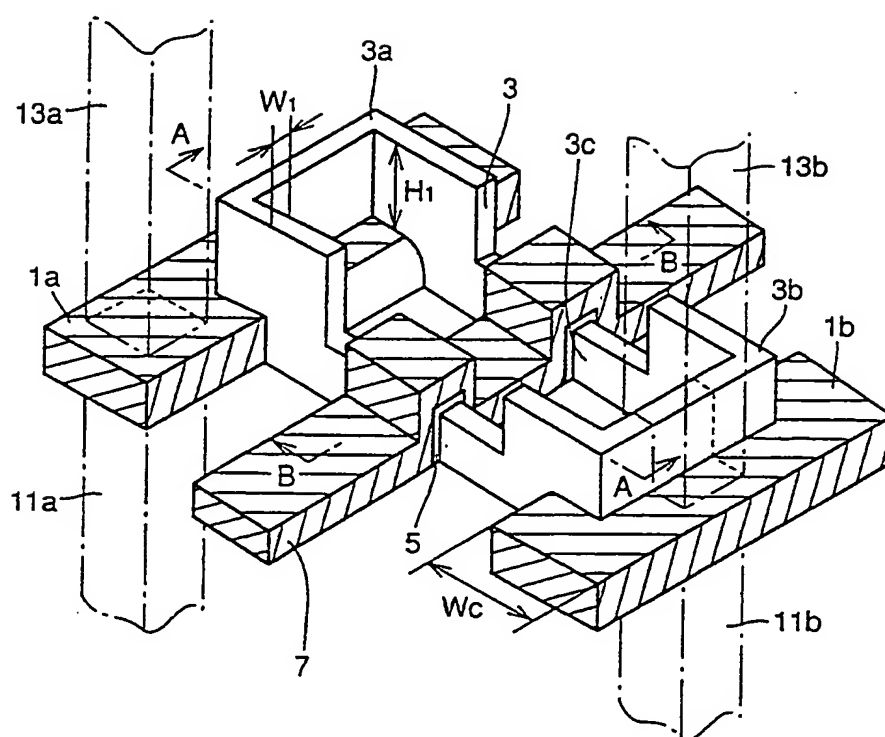


FIG. 2

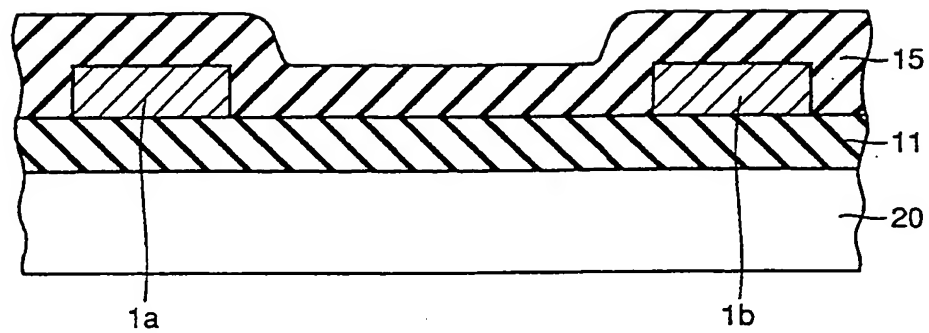


FIG. 3

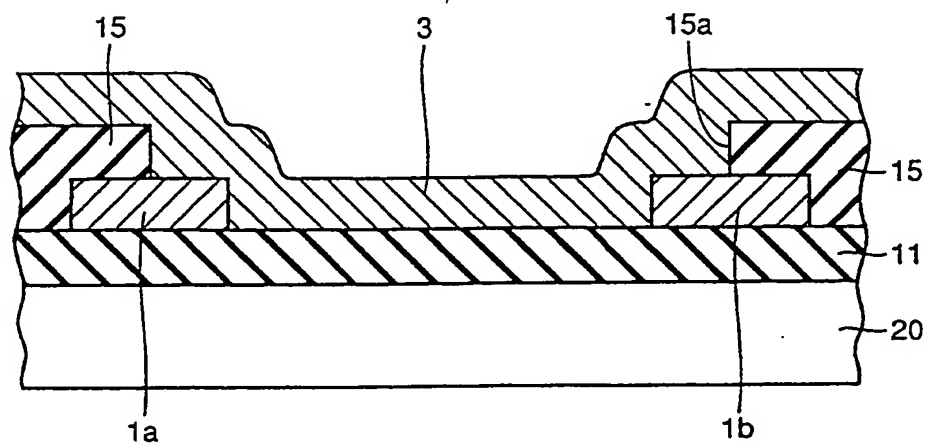


FIG. 4

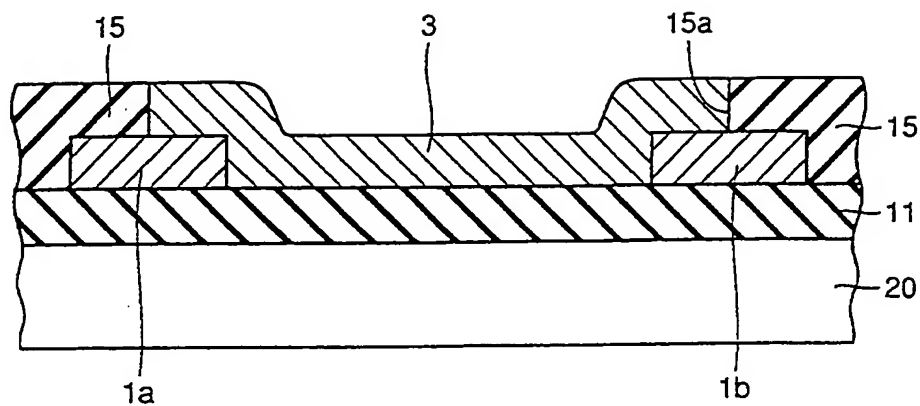


FIG. 5

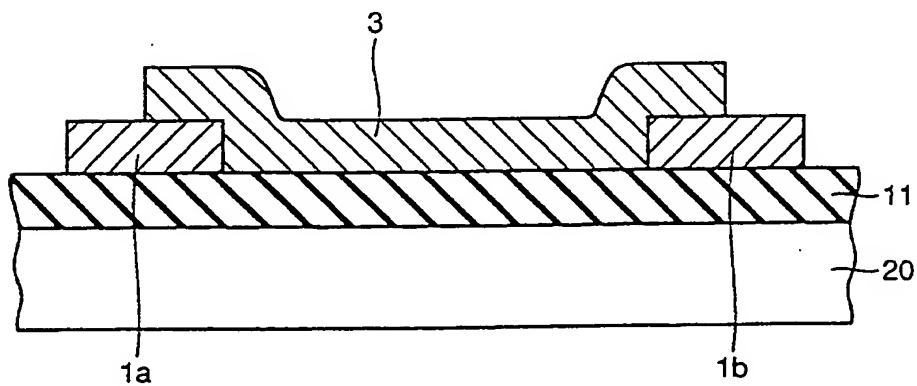


FIG. 6

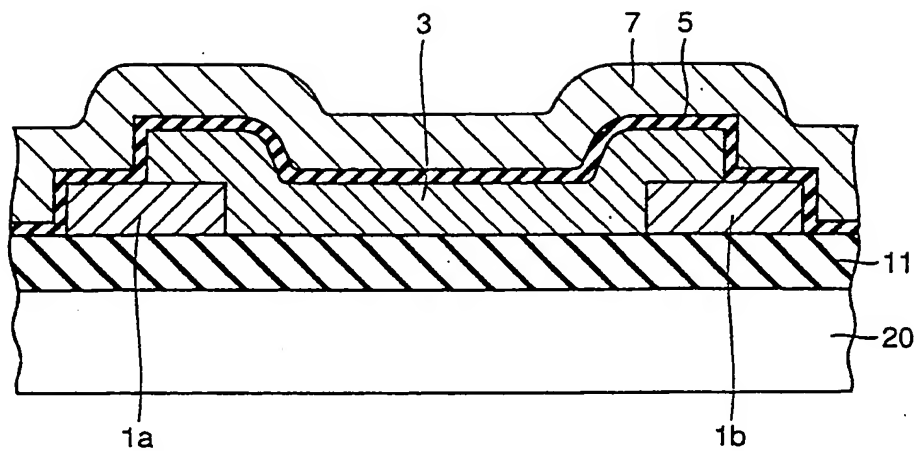


FIG. 7

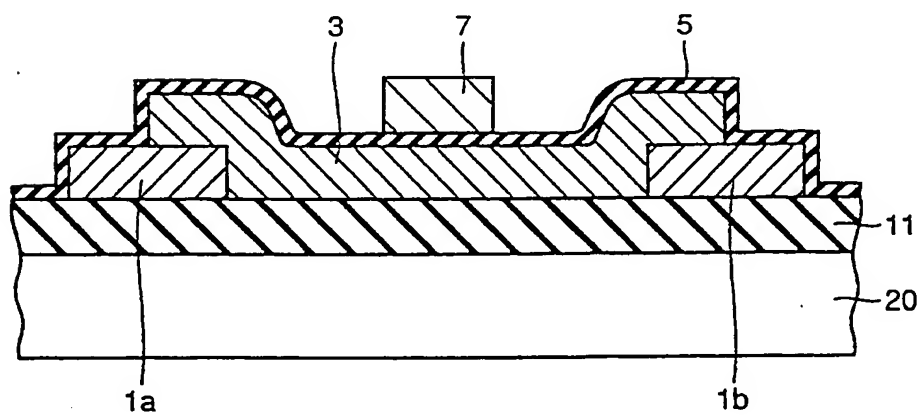


FIG. 8

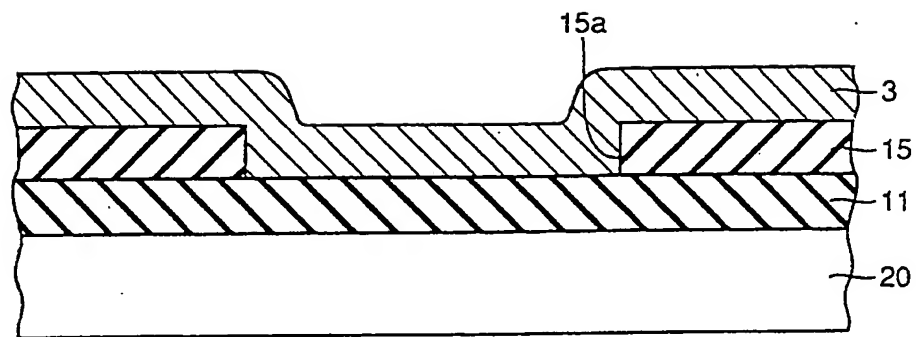


FIG. 9

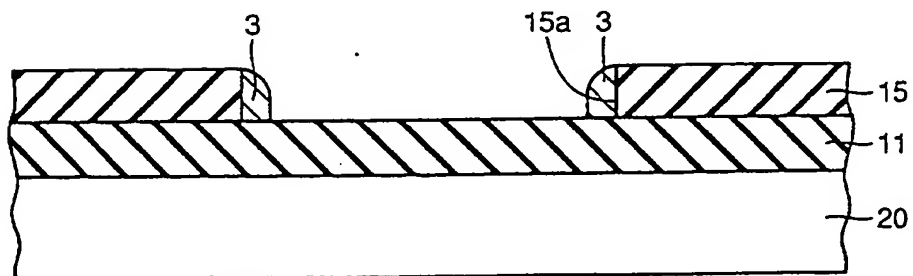




FIG. 10

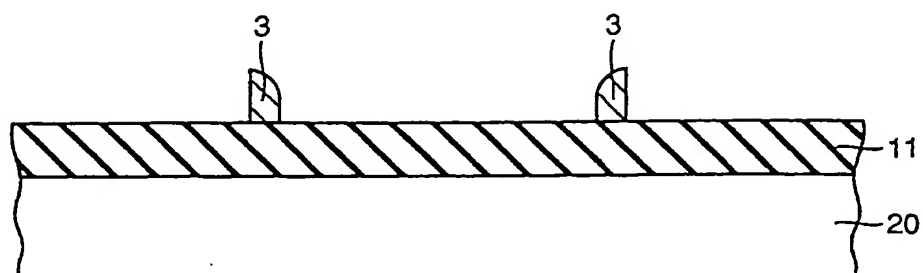


FIG. 11

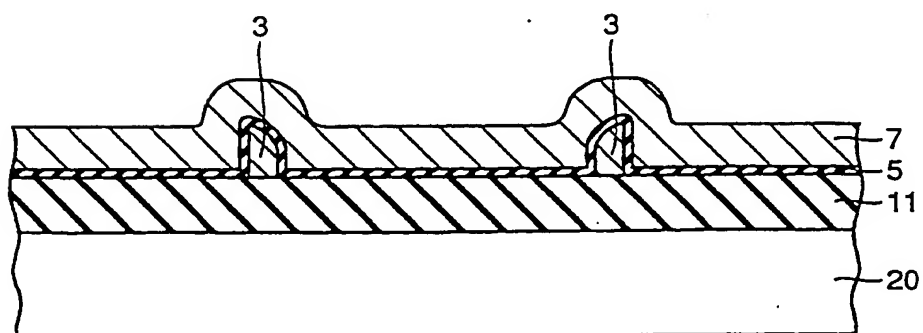


FIG. 12

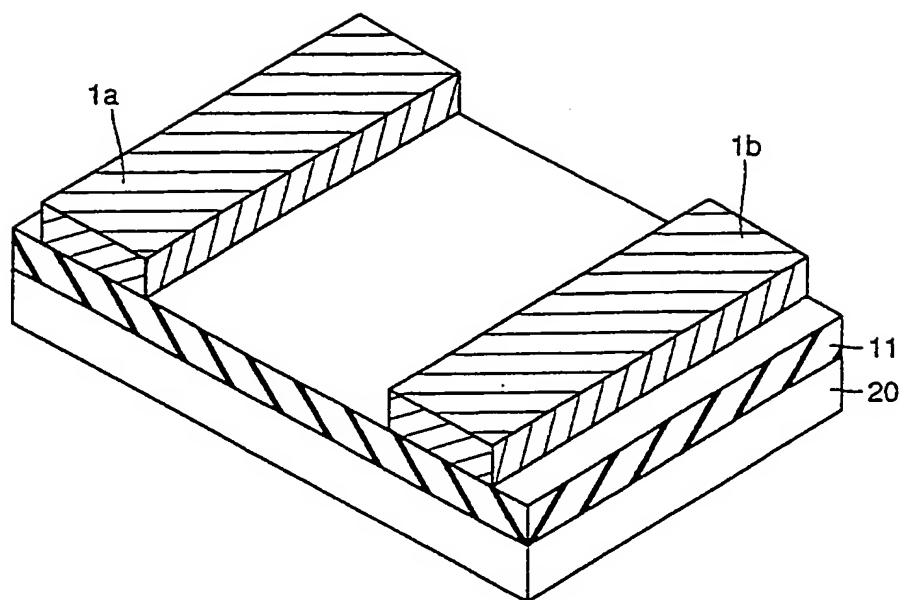


FIG. 13

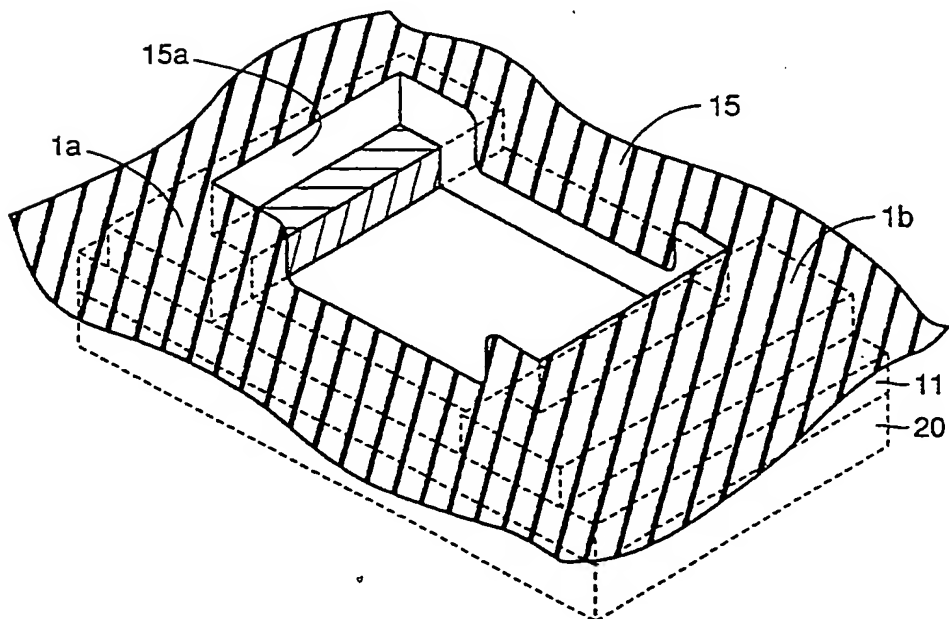


FIG. 14

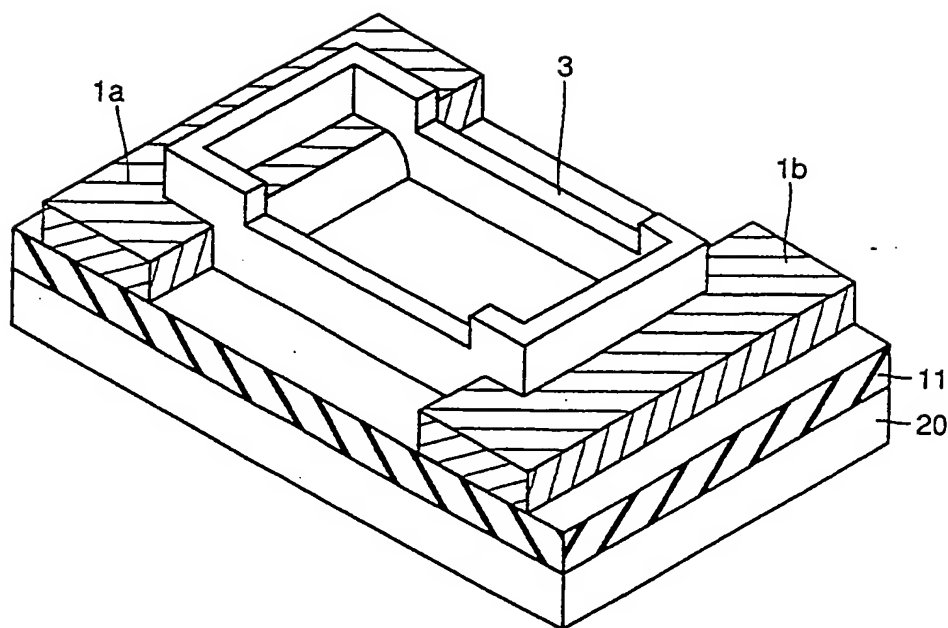


FIG. 15

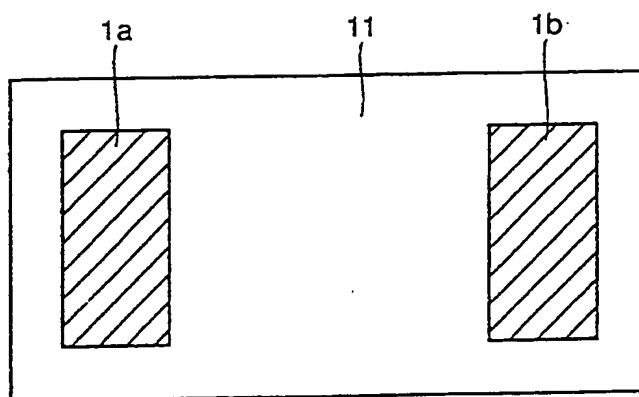


FIG. 16

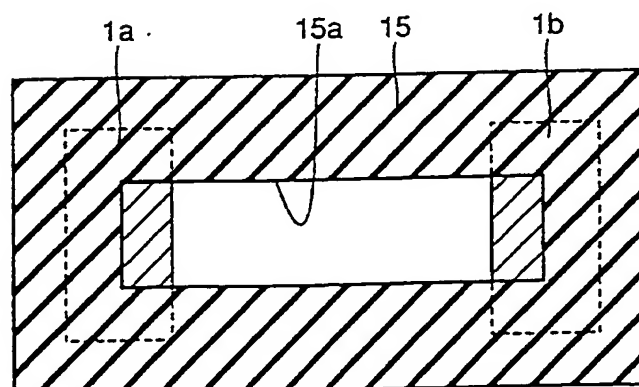


FIG. 17

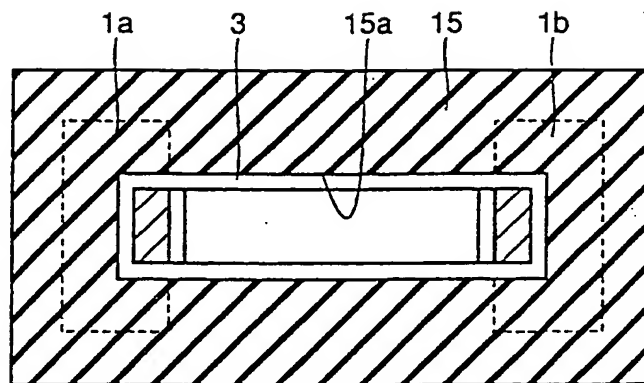


FIG. 18

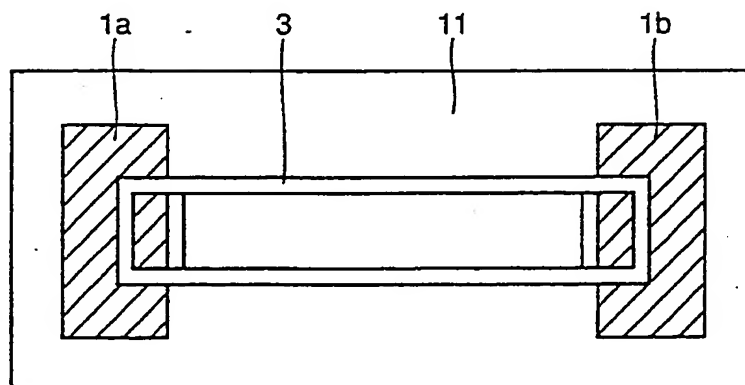


FIG. 19

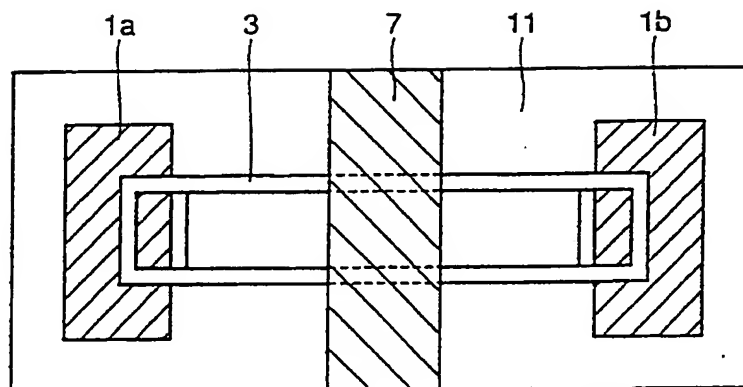


FIG. 20

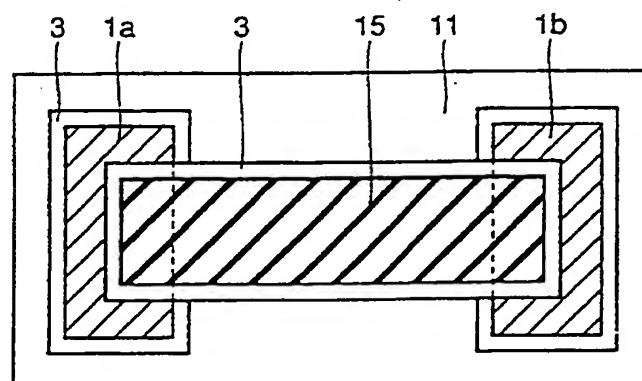




FIG. 21

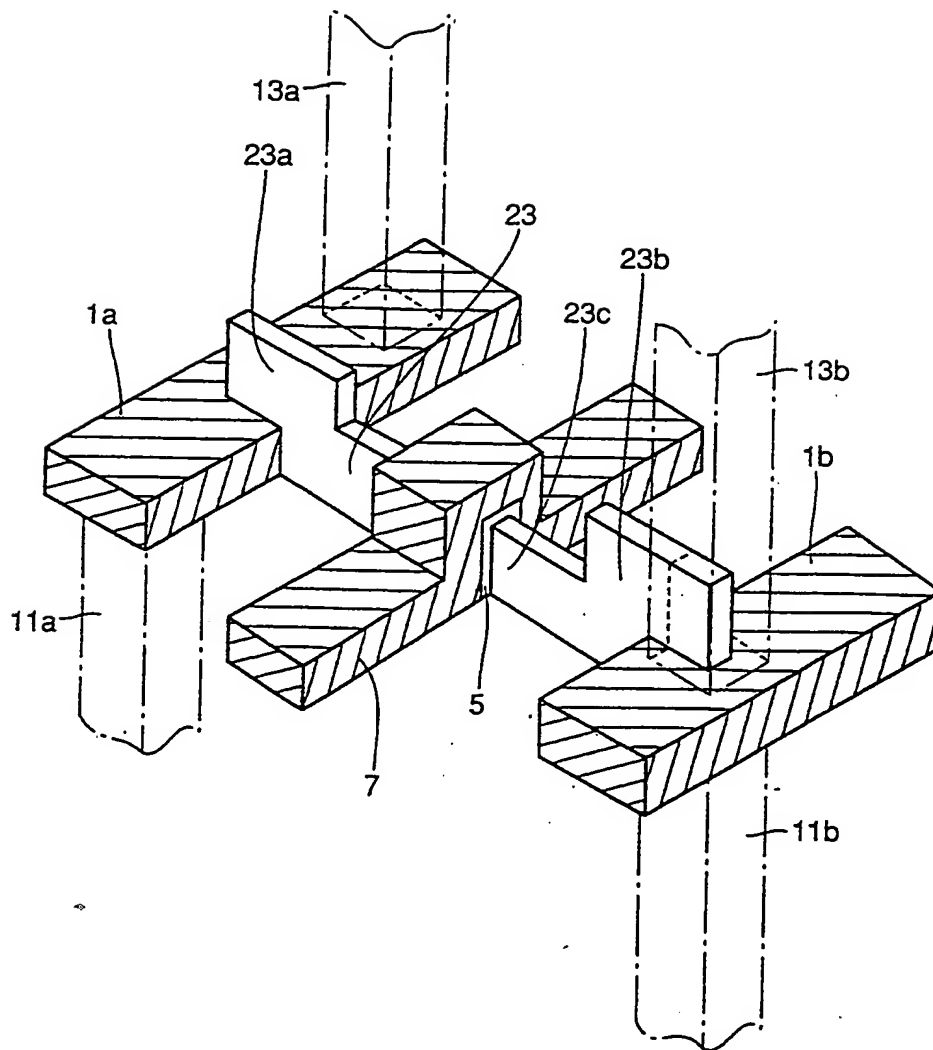


FIG. 22

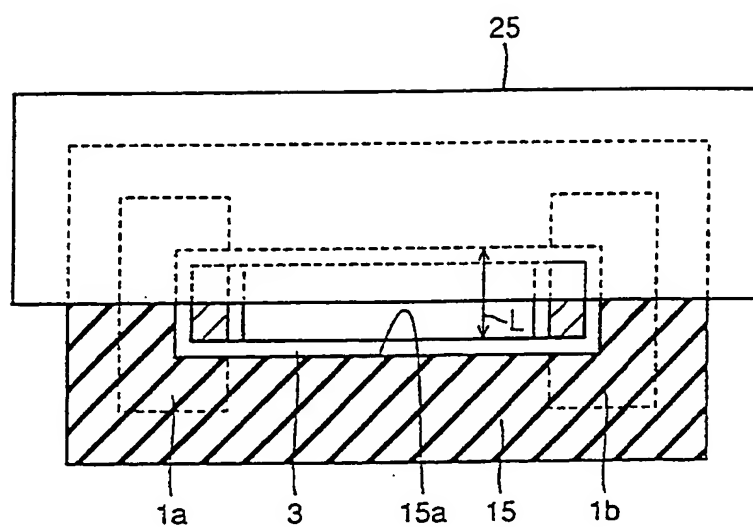


FIG. 23

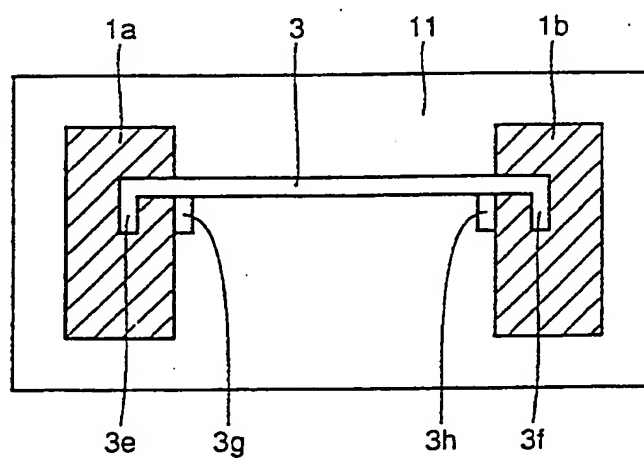


FIG. 24

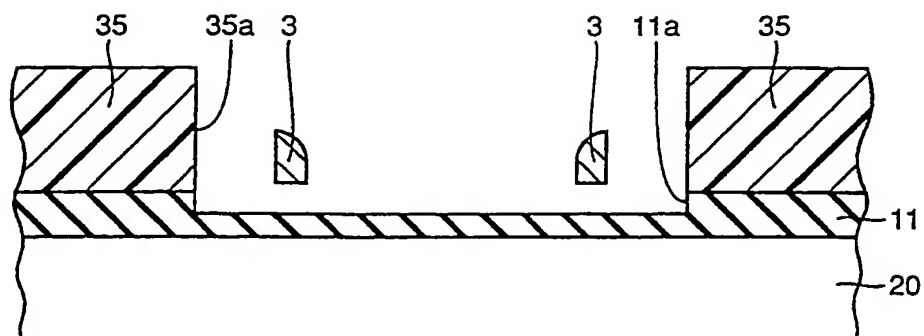


FIG. 25

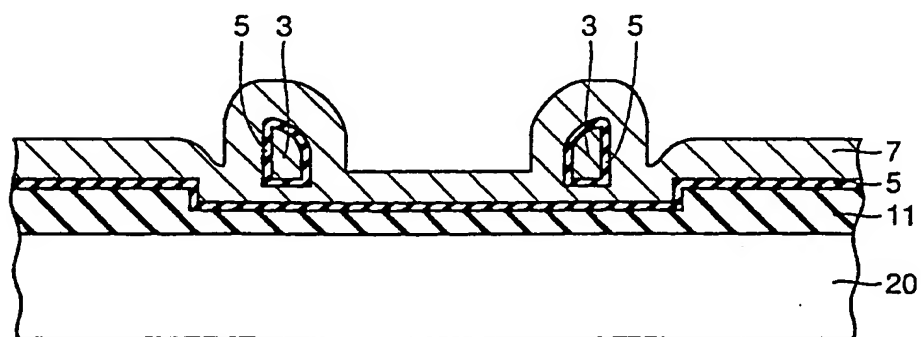


FIG. 26

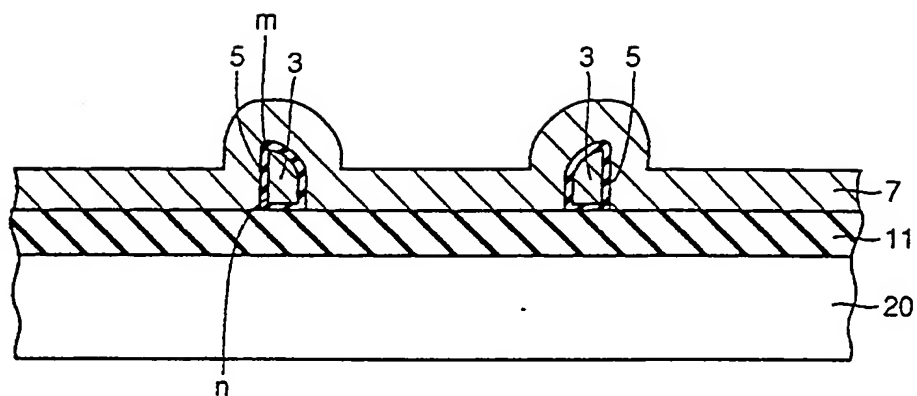


FIG. 27

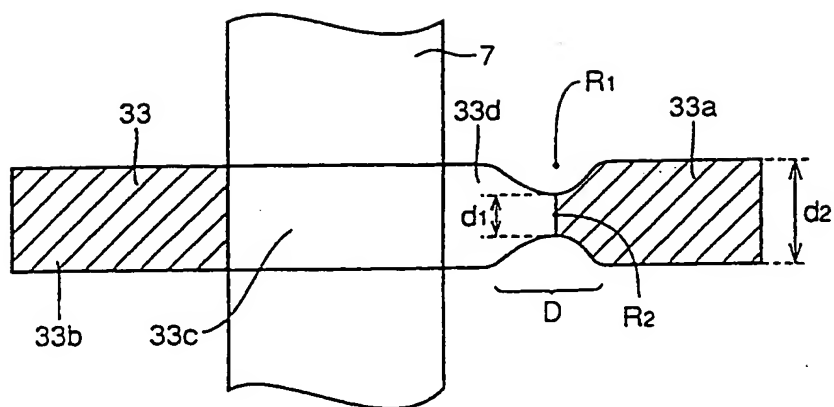


FIG. 28

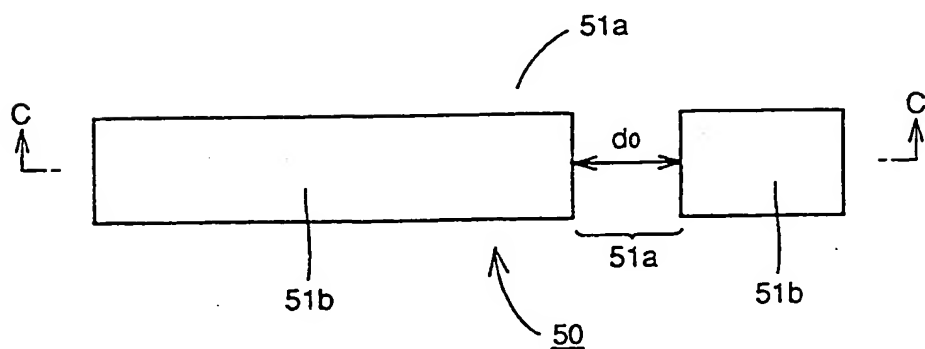


FIG. 29

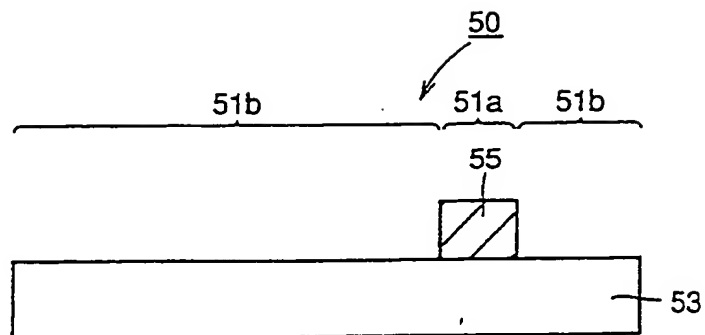


FIG. 30

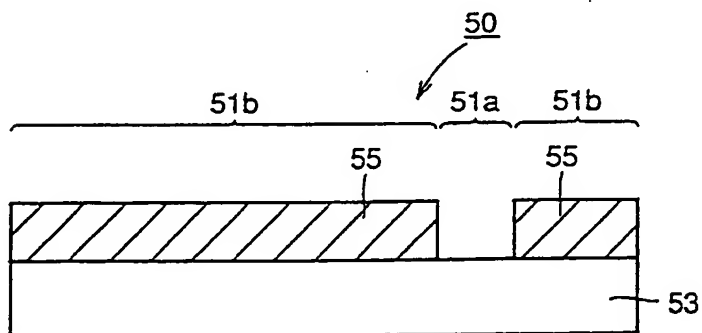




FIG. 31A

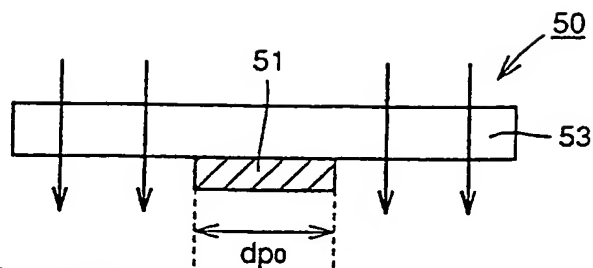


FIG. 31B

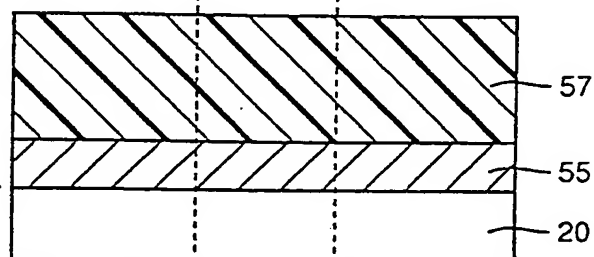


FIG. 31C

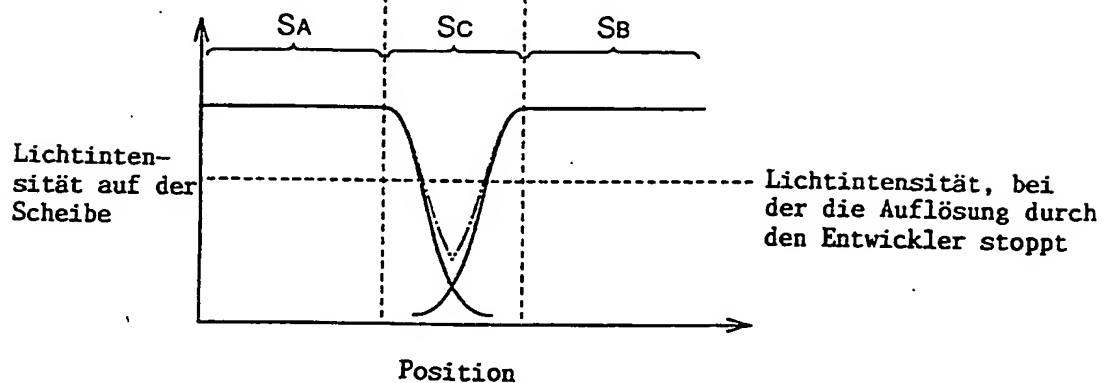


FIG. 32

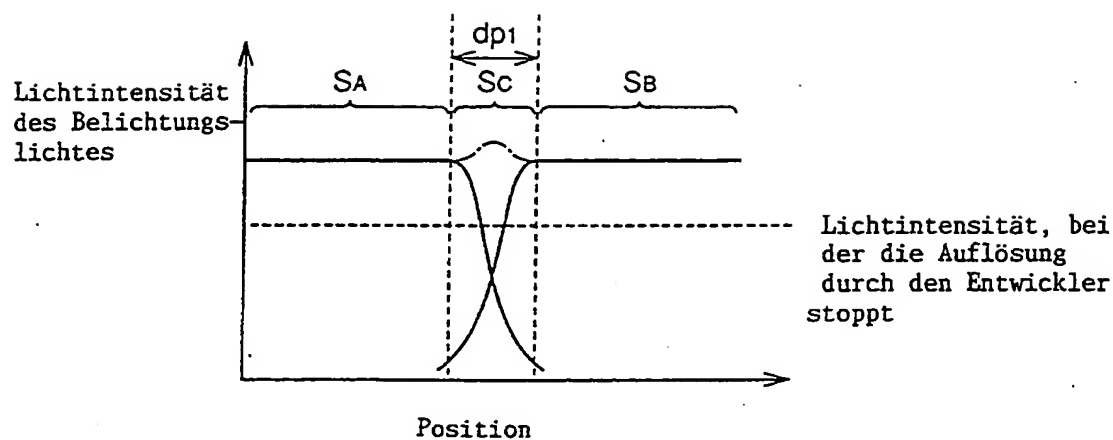


FIG. 33

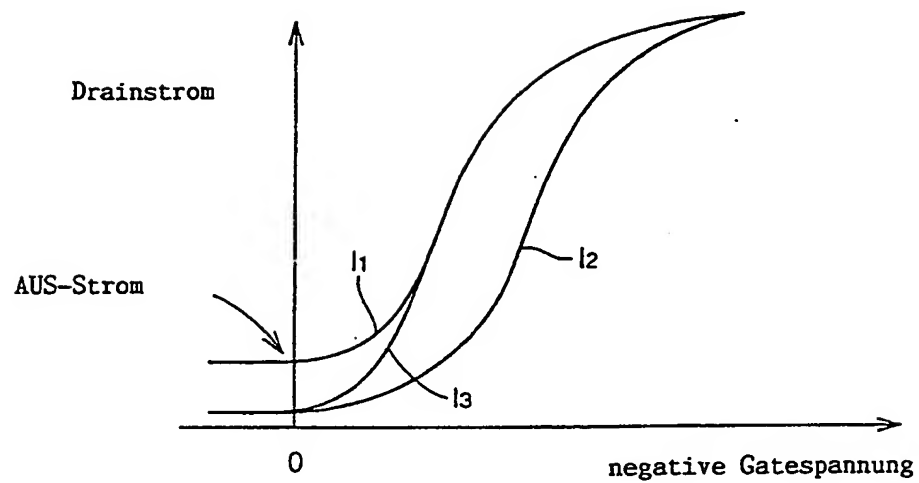


FIG. 34

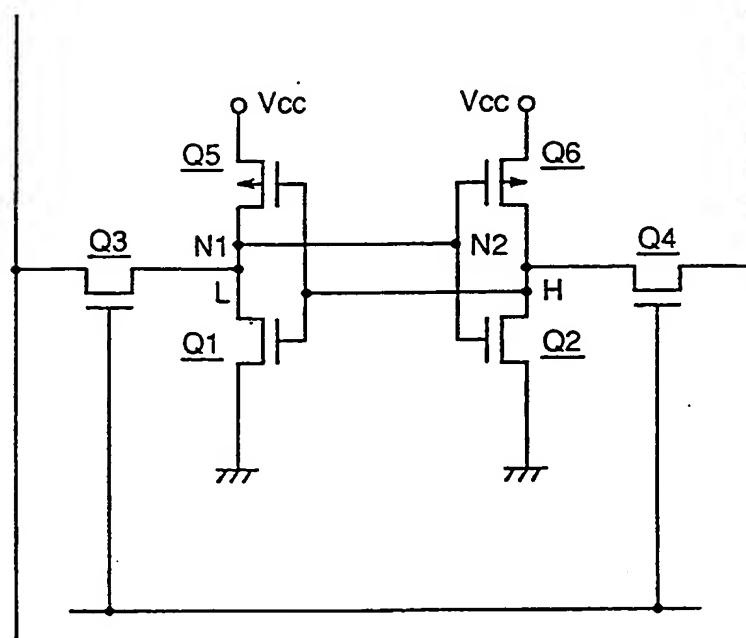


FIG. 35

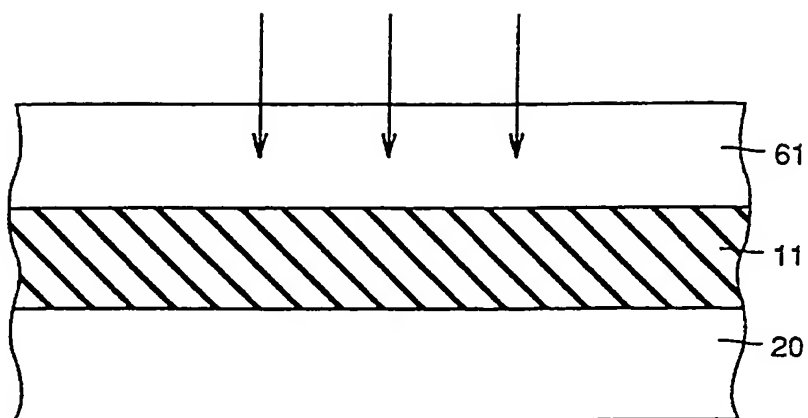


FIG. 36

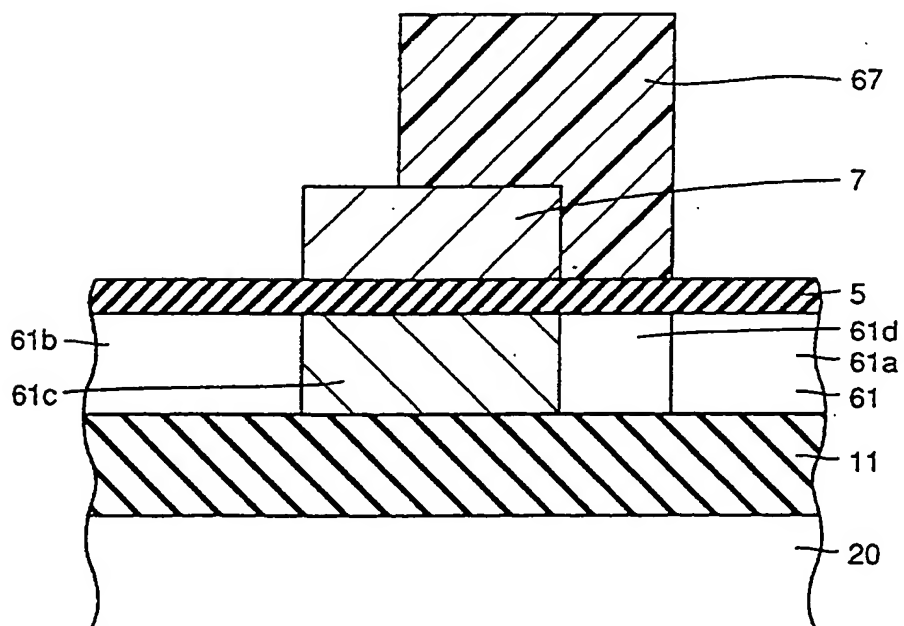


FIG. 37

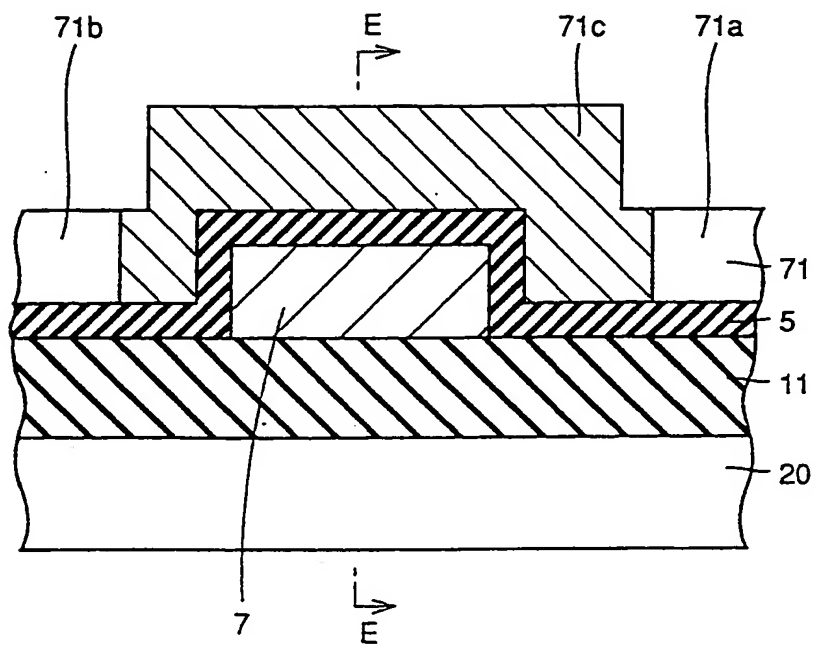


FIG. 38

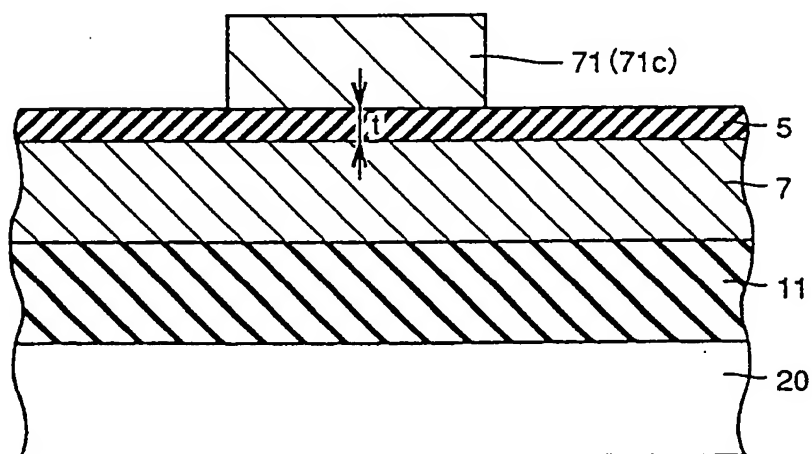


FIG. 39

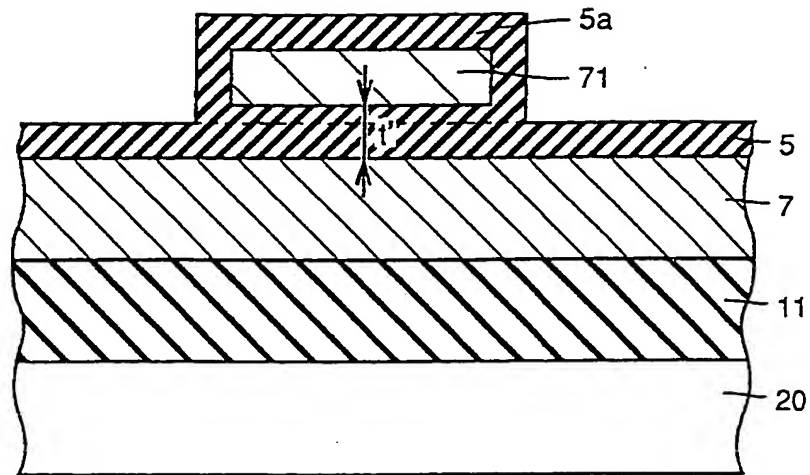


FIG. 40

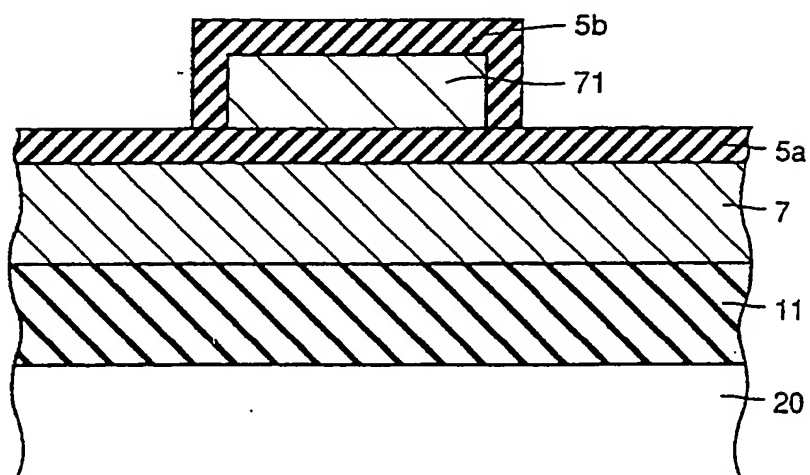


FIG. 41

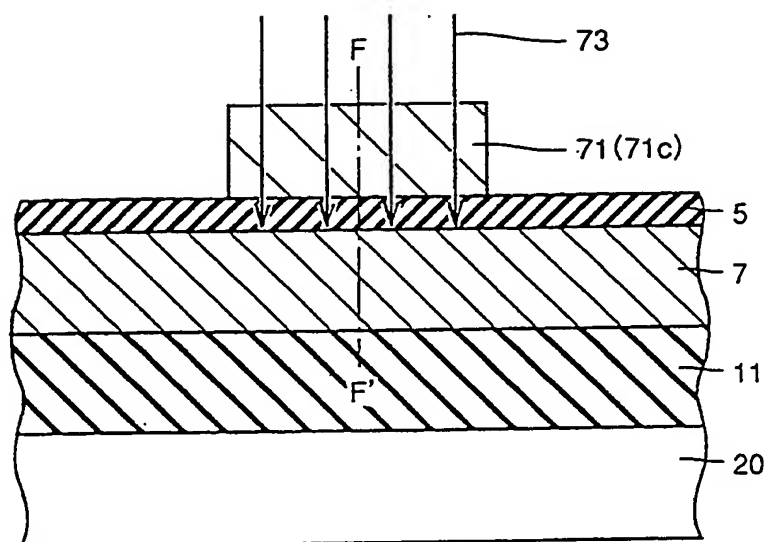


FIG. 42

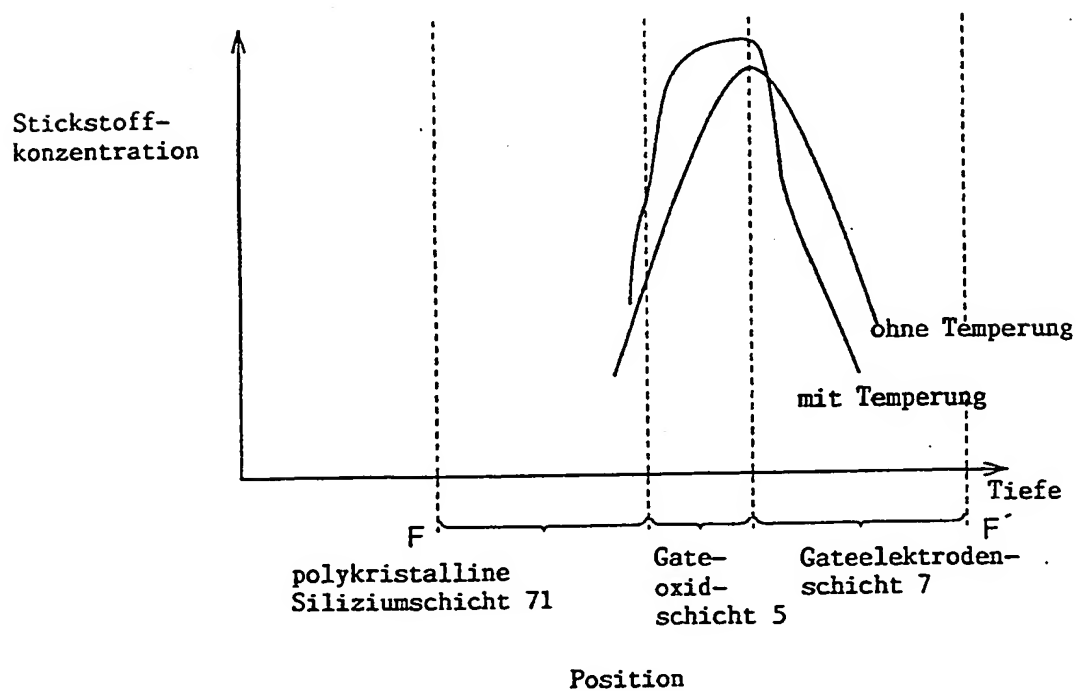


FIG. 43

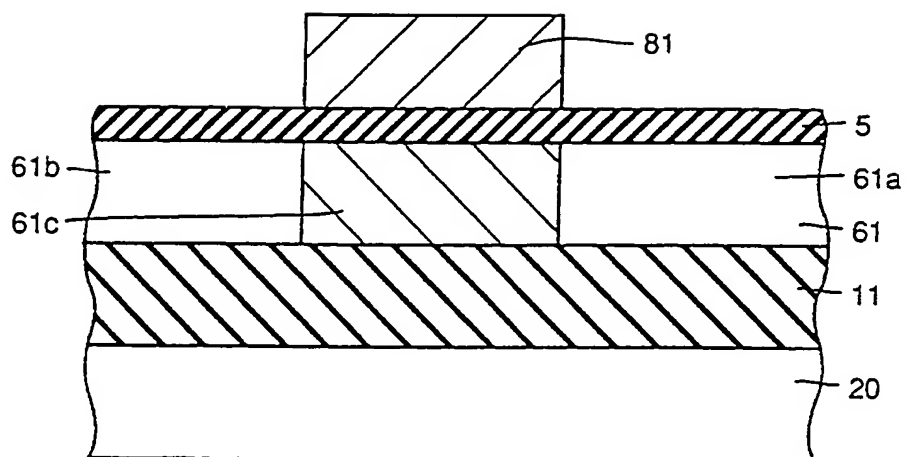


FIG. 44

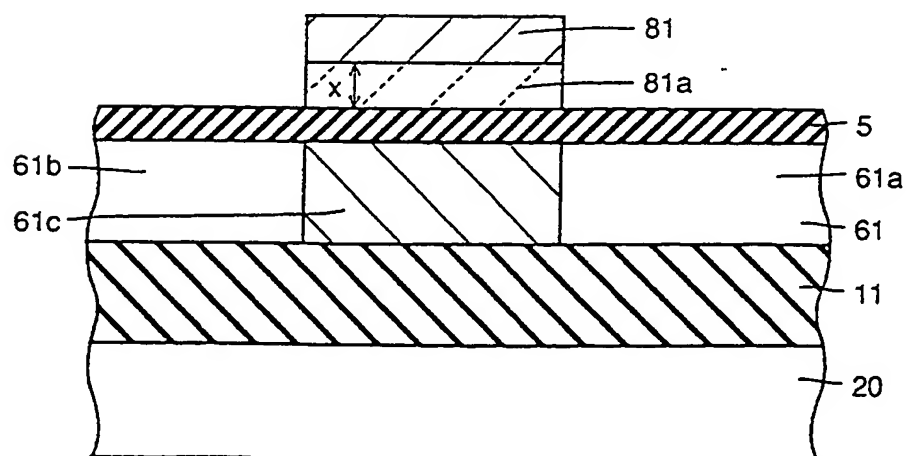




FIG. 45

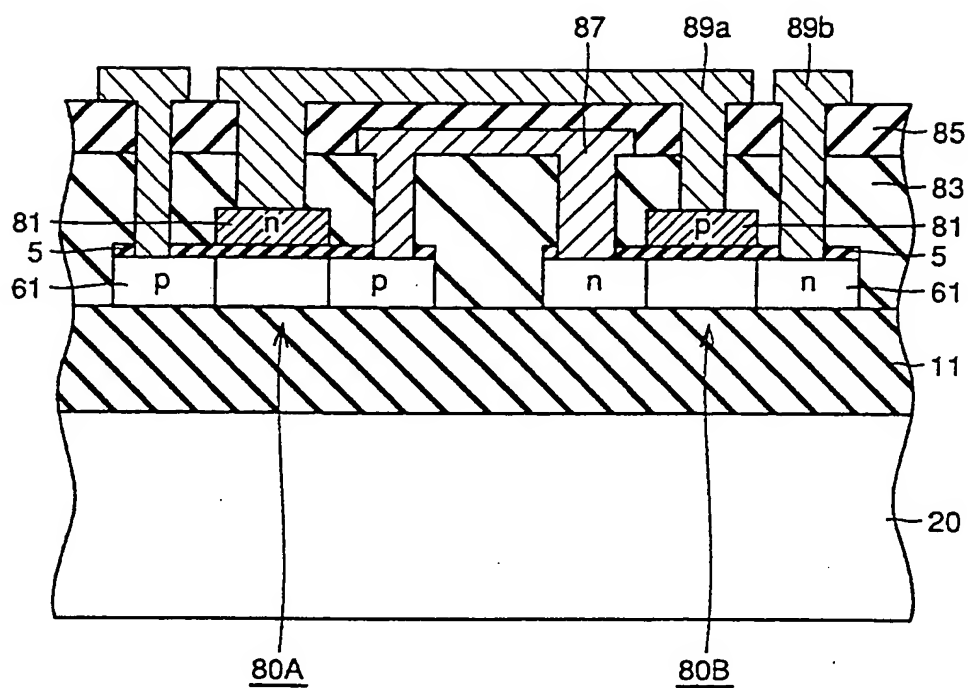


FIG. 46

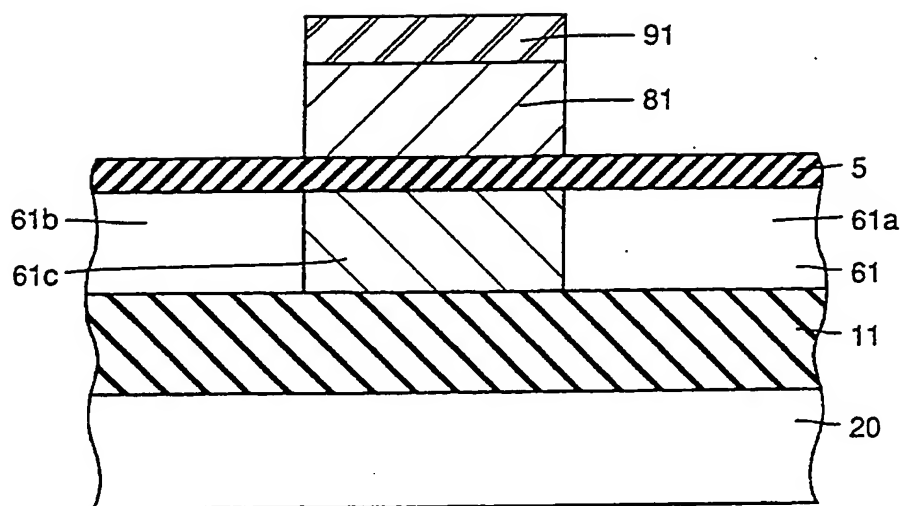


FIG. 47

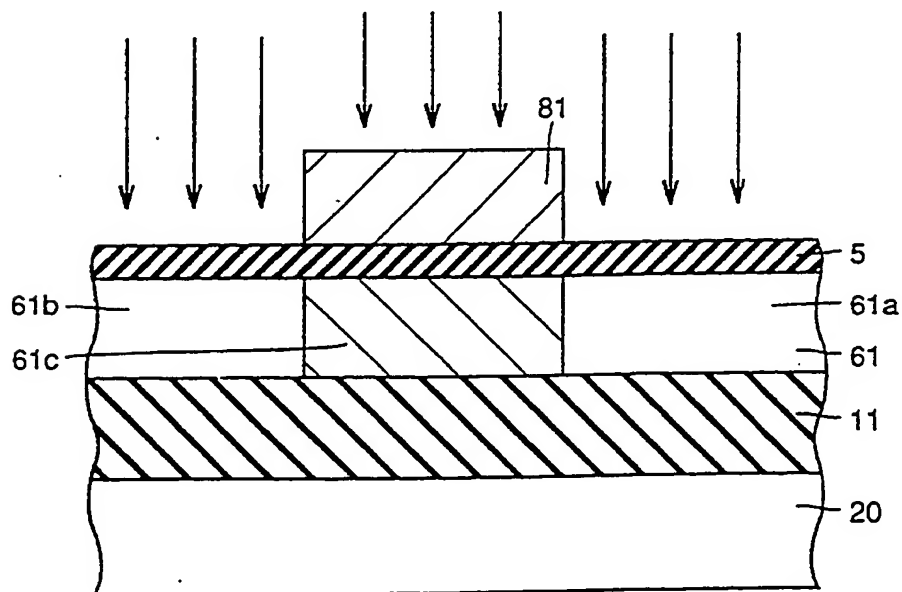


FIG. 48

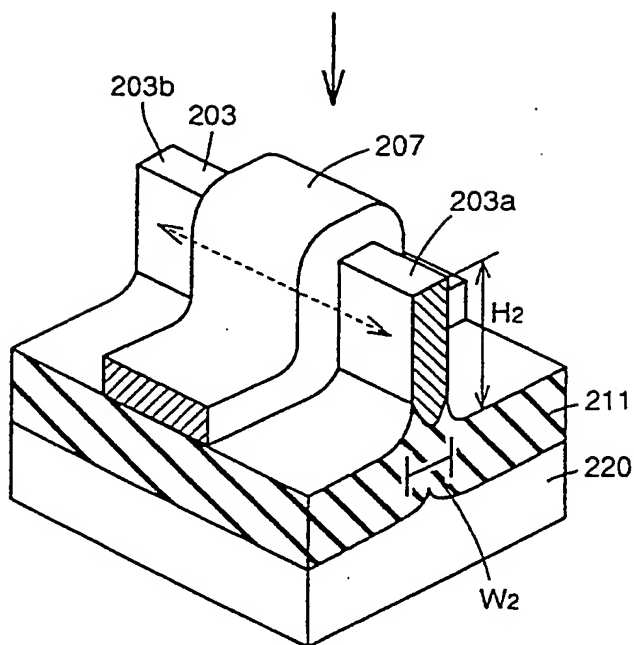


FIG. 49

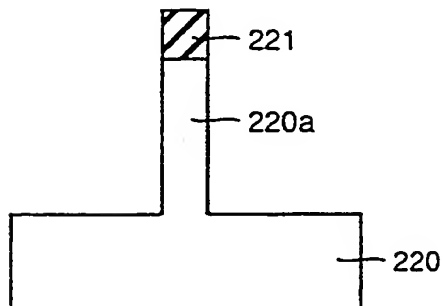


FIG. 50

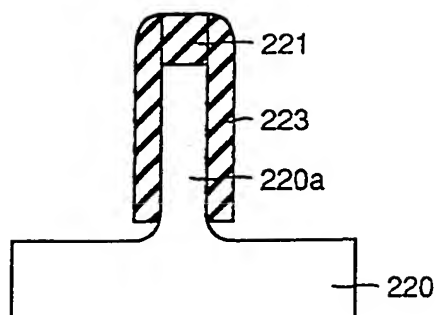


FIG. 51

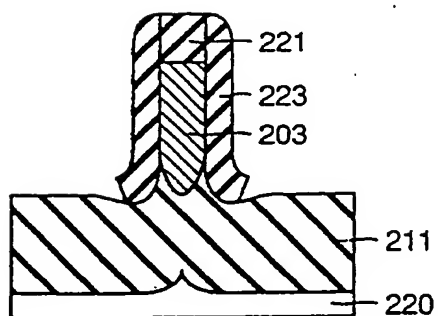


FIG. 52

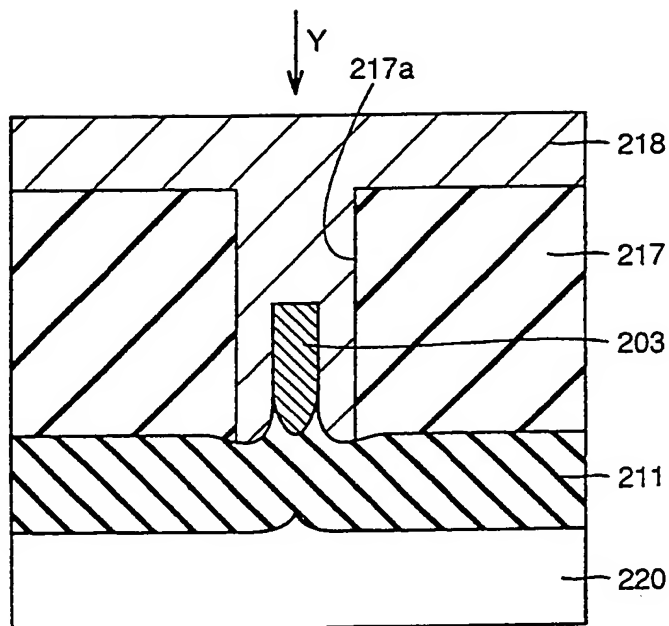


FIG. 53

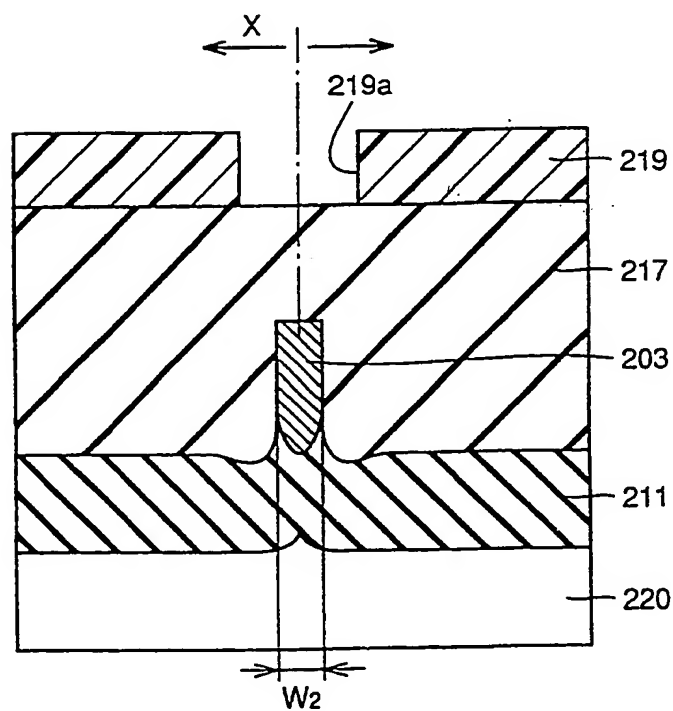


FIG. 54

